

Matthieu Moy — CV Détaillé

Nom patronymique : **MOY** ; prénom : **Matthieu**

Date de naissance : 26 avril 1979 à Clamart (Hauts de Seine) ; Grade : **Maître de Conférences**

Affectation actuelle : Université Claude Bernard Lyon 1 / Laboratoire LIP

Section de CNU : 27, MCF HC, échelon 05, HDR

e-mail : `Matthieu.Moy@univ-lyon1.fr`

Formation et Parcours Professionnel

2017 - (situation actuelle) : Maître de conférences à l'Université Claude Bernard Lyon 1 (Laboratoire LIP / Département Informatique)

2006 - 2017 : Maître de conférences à Grenoble INP (Verimag / Ensimag).

2014 : Habilitation à diriger des recherches (HDR) à Grenoble INP : « High Level Models for Embedded Systems » (rapporteurs : Gérard Berry, Rolf Drechsler, Marco Roveri ; examinateurs : Samarjit Chakraborty, Benoît Dupont de Dinechin, Frédéric Pétrot)

2006 : Post-doctorat dans le département Computer Science and Automation de l'Indian Institute of Science de Bangalore : « Sécurité et survivabilité du stockage »

2002 - 2005 : Thèse d'informatique à Verimag et STMicroelectronics : « Techniques et outils pour la vérification de Systèmes-sur-Puce au niveau transaction » (président de jury : Gérard Michel ; rapporteurs : Stephen Edwards, Jean-Pierre Talpin ; directrice : Florence Maraninchi ; examinateur : Laurent Maillet-Contoz)

2002 : Diplômes Ensimag et DEA

Responsabilités principales

sept. 2020 - dec. 2023 : Co-responsable de la licence d'informatique de l'UCBL

2018 - (situation actuelle) : Responsable de l'Équipe Projet Commune CASH, au laboratoire LIP

2016 - 2017 : Responsable de la filière Informatique-Génie logiciel-Programmation du Département Formation Continue Grenoble INP

2015 - 2017 : Responsable de l'équipe Synchrone du laboratoire Verimag

2015 - 2017 : Responsable de la filière Systèmes et logiciels embarqués à l'Ensimag

Intérêts de recherche passés et présents

Impact environnemental du numérique : Décroissance numérique, mesure d'utilisation de ressources.

Compilation et synthèse de haut niveau : Analyse de programme, génération de code parallèle, sémantique formelle

Modélisation de haut niveau et simulation : Simulation de systèmes sur puces en SystemC/TLM, propriétés extra-fonctionnelles, parallélisme, simulation de supercalculateurs

Vérification formelle de programme et de circuits : interprétation abstraite, model-checking

Modèles formels d'analyse de performance : real-time calcul

Systèmes critiques temps-réels : langages synchrones, compilation, many-core

Collaborations Industrielles Directes

Avec Aniah depuis 2021, 1 post-doc, 1 stage M2, 1 thèse CIFRE

Avec STMicroelectronics 2002-2018 (5 thèses communes soutenues, 3 projets collaboratifs)

Avec Kalray 2014-2018 (1 thèse CIFRE, 1 projet collaboratif)

Avec Bull/Atos depuis 2019 (1 thèse CIFRE)

1 Investissement pédagogique	2
1.1 Présentation synthétique de l'activité d'enseignement	2
1.2 Présentation des enseignements	3
1.3 Responsabilités Pédagogiques	6
1.4 Diffusion, rayonnement, activités internationales	7
2 Activité scientifique	8
2.1 Présentation des thématiques de recherche	8
2.2 Publications et production scientifique	13
2.3 Encadrement doctoral et scientifique	14
2.4 Diffusion et rayonnement	16
2.5 Responsabilités scientifiques	20
3 Autre information : temps partiel en 2021-2022	21
A Liste exhaustive des enseignements réalisés	22
B Liste de publications	29

1 Investissement pédagogique

1.1 Présentation synthétique de l'activité d'enseignement

J'enseigne l'informatique à l'UCBL et ai enseigné à Grenoble INP à **tous les niveaux**, des débutants complets à la prépa des INP et en L1 à Lyon 1 aux cours de master 2, en passant par les stages de formation LIESSE et la formation continue. Plus précisément, j'ai réalisé :

2017 - 2024 : Département Informatique, Université Lyon 1 : enseignements niveau L1, L2, L3, Master (255 heures/an en moyenne)

2006 - 2017 : Grenoble INP : 3300 heures au total (272 heures/an) ; dont 180h en formation continue et stages LIESSE pour enseignants CPGE, 148h à la prépa intégrée des INP, le reste étant à l'Ensimag

2006 : 22 heures d'enseignement en anglais à l'Indian Institute of Science de Bangalore

2002 - 2005 : 128 heures de vacations à Grenoble INP, formation interne C++, SystemC et TLM à STMicroelectronics (5 semaines à plein temps dont 2 en anglais)

Je suis responsable de la majorité des enseignements dans lesquels j'interviens. La majorité de mes enseignements avant 2017 était faite à l'Ensimag, école d'ingénieur en informatique et en mathématiques appliquées (promotions de 200 à 250 étudiants).

Les principaux thèmes que j'ai enseignés sont : — Les projets (projets génie logiciel, projets de spécialité) — Compilation — Gestion de projet et génie logiciel — Architecture des ordinateurs — Programmation en C et en langage d'assemblage — Introduction à Unix — Modélisation de

systèmes sur puces (en lien direct avec ma recherche) — Algorithmique et programmation en Python
— Programmation système et programmation concurrente

1.2 Présentation des enseignements

1.2.1 Enseignement de l'Agilité

Depuis 2011, je m'intéresse à l'**agilité** et à la manière de l'enseigner à l'Ensimag puis au DI Lyon 1. L'agilité peut apporter plusieurs choses à nos étudiants : des principes (valoriser les interactions entre personnes, le logiciel de qualité, le travail avec le client et la réponse au changement) et des méthodes (Scrum, Lean, Kanban) que beaucoup pratiqueront en entreprise.

Je me suis formé (formation 2 jours par un coach Scrum, bibliographie, présence aux conférences Agile Grenoble et Agile Innovation chaque année de 2012 à 2015 puis Agile Lyon en 2019) et ai contribué à la formation d'autres enseignants. Nous avons ajouté un encadrement spécifique Agile pour les deux gros projets en 2^{ème} année Ensimag. J'ai organisé la **journée agile** en 3^{ème} année Ensimag chaque année de 2014 à 2016 (jeux agiles, rencontre avec des intervenants extérieurs qui pratiquent l'agilité en entreprise, coding dojo, ...), et ai naturellement repris ce thème dans le cours de gestion de projet de M1 à Lyon 1 (intervention d'un Scrum Master extérieur, jeu de construction en papier quand la situation sanitaire l'a permis).

1.2.2 Logiciel libre

Je suis convaincu que le logiciel libre est une opportunité fantastique pour nos étudiants. En 2010 j'ai **mis en place un projet « contribution à un logiciel libre »** (dans le cadre des projets de fin de 2A Ensimag) et depuis j'encadre chaque année plusieurs équipes d'étudiants sur le sujet (j'ai pu poursuivre ce projet à Lyon 1 avec le LIFPROJET en L3 puis en projet d'orientation en M1). Ainsi, il y a des fonctionnalités codées par des étudiants Ensimag et Lyon 1 dans Firefox, Git et libgit2, Eigen et PhpBB. D'autres étudiants que j'ai encadrés ont pu créer des logiciels libres (Dahu et Git-MediaWiki). Les étudiants peuvent ainsi participer à la vie d'une vraie communauté de développeurs, et pour la plupart des projets, revoir très largement à la hausse leurs critères de qualité (ce qu'ils considèrent comme une version finale propre et bien testée dans leurs projets habituels est considéré comme un premier brouillon à corriger pour des communautés comme celles de Git ou Firefox).

1.2.3 Auto-évaluation et évaluation automatique

Le retour que nous faisons aux étudiants est fondamental, c'est entre autre ce qui fait la différence entre une formation scolaire et une auto-formation pour les étudiants. Les corrections manuelles sont un moyen de faire ce retour, mais j'ai également travaillé sur des approches automatiques permettant de les compléter.

Dans plusieurs UE, j'ai mis en place des systèmes de QCM en libre-service pour les étudiants pour les accompagner dans leur travail personnel (à l'Ensimag, ceci avait donné lieu au développement de l'outil Chamilotools pour automatiser la mise en ligne des QCM). Pour motiver les étudiants, j'aime donner une dimension ludique à ces outils. J'ai expérimenté le principe du jeu de piste (un exercice permet de débloquer l'énoncé de l'exercice suivant, et ainsi de suite) pour le cours d'Unix à l'Ensimag et je l'ai transposé au cours d'administration système en L3 UCBL avec dans les deux cas des retours très positifs des étudiants. J'ai également mis en place des QCM dans mon UE de compilation en M1, dans un premier temps noté (pendant la crise COVID), puis comme QCM d'auto-évaluation.

J'ai également travaillé sur des outils de correction automatiques, qui permettent de noter les étudiants sur un grand nombre de rendus (4 rendus par étudiants pour entre 100 et 150 étudiants pour mon UE de compilation UCBL, la base de tests automatique permet de faire un retour sur la quantité de bugs et la couverture de la base de tests des étudiants en quelques heures sans surcharger

l'équipe enseignante). J'avais appliqué une approche similaire en projet génie logiciel à l'Ensimag où la correction automatique venait en complément de la correction manuelle et permettait de trouver des bugs très subtils qui auraient échappé à la relecture ou au test manuel.

1.2.4 Enseignement de l'éthique

Il me semble important d'intégrer une dimension éthique dans les enseignements. La tâche n'est pas aisée, car il ne s'agit pas bien sûr d'imposer mes idées aux étudiants ni de politiser l'enseignement. Mon objectif ici est d'initier les étudiants aux enjeux de leur futur métier. J'essaie de leur transmettre des éléments concrets, autant que possibles chiffrés. J'aborde par exemple la question de l'impact environnemental du numérique, les minorités en informatique, la vie privée, le microtravail, dans mon cours de M1 à l'UCBL. En pratique, j'y consacre une séance de CM, et je choisis comme sujet de projet un maquettage de logiciel pour lequel la dimension éthique est importante (les étudiants ont ainsi travaillé sur des versions « jouet » de TousAntiCovid, Mon Espace Santé, un moteur de recherche de CV, et un mini ChatGPT. Les étudiants doivent documenter dans leur rapport les enjeux éthiques du projet, en s'appuyant sur un travail bibliographique.

1.2.5 Transfert Recherche - Formation : cours « Modélisation TLM des SoCs »

Une partie de mes recherches sur la modélisation des systèmes sur puces (TLM) est directement **transférée en enseignement** dans ce cours, dont j'ai été responsable de 2007 à mon départ en 2017. Des notions comme la vérification formelle, la modélisation de consommation, ou encore les tâches avec durée qui ont été développées dans mes activités de recherches ces dernières années sont maintenant présentées aux étudiants Ensimag 3ème année. J'ai adapté le contenu du cours pour un stage de **formation continue** au CEA en novembre 2014, puis pour un cours de M2 à l'ENS Lyon.

1.2.6 Responsabilités d'UE à l'Ensimag

Responsable ou co-responsable des cours suivants à l'Ensimag :

- Cours de logiciel de base et langage C en filière apprentissage
- Unix : introduction et programmation (1A Ensimag et filière apprentissage)
- Projet Compilation Année Spéciale de 2009 à 2012
- Thématique « Génie Logiciel et Langages » en projet de spécialité, encadrement d'étudiants pour contribuer à des logiciels libres (Git, Firefox, Eigen, PhpBB...) jusqu'en 2015-2016
- Responsable du projet de spécialité en 2016-2017
- Projet C de 2007 à 2009
- Conception de circuits numériques (2007)

1.2.7 Responsabilités d'UE au département informatique Lyon 1

- Responsable des UE « programmation concurrente » (L3) et « Gestion de projet et génie logiciel » (M1), co-responsable de l'UE « Compilation et transformation de programme » (M1) et « compilation et Analyse de programme » (M1 ENS Lyon).
- Référent pédagogique (2018-2021, puis 2024-présent) : suivi individuel d'une centaine d'étudiants en Licence chaque année.

1.2.8 Accompagnement de la réforme du programme d'informatique de classes préparatoires

Une réforme du programme des classes préparatoires (CPGE) a commencé à la rentrée 2013. Une des nouveautés est l'enseignement de l'informatique dans le tronc commun. Je me suis fortement investi dans l'accompagnement de cette réforme :

- Formation des enseignants CPGE à l'informatique, via plusieurs stages LIESSE (Liaisons Interdisciplinaires avec les Ecoles d'enseignement Supérieur pour une Structuration des Echanges, <http://liesse.it-sudparis.eu/liesse.htm>). J'ai organisé 5 stages (2 jours en mai 2013, 3 jours en octobre 2013, 3 jours en juin 2014, 2 jours en octobre 2014, 2 jours en octobre 2015).
- Formation des enseignants de la prépa des INP (2 jours, via la formation continue) en 2014.
- Responsabilité du cours d'informatique de la prépa des INP, reprise du programme pour l'aligner partiellement sur celui des CPGE de 2013 à 2017. Mon investissement permet de renforcer le lien entre la prépa des INP et l'Ensimag.

1.2.9 Évolutions du projet Génie Logiciel à l'Ensimag

Le projet Génie Logiciel est un projet sur un mois à plein temps pour les étudiants en deuxième année Ensimag. J'ai rejoint l'équipe en 2004 comme doctorant vacataire, à un moment où les objectifs pédagogiques du projet commençaient à se déplacer de la compilation vers le génie logiciel : organisation d'équipe, architecture logicielle, validation, ... Le projet concerne 200 à 250 étudiants répartis en 10 groupes de TD. J'ai fait évoluer le projet techniquement et pédagogiquement d'années en années. Parmi les évolutions :

- Refonte de l'infrastructure de tests, qui nous permet d'évaluer automatiquement la quantité de bugs et la couverture des tests dans les rendus étudiants.
- Migration de Subversion à Git (pour les enseignants et les étudiants).
- Infrastructure de gestion des dépôts de code des étudiants (mise en place, monitoring via gitstats, scripts à disposition des enseignants pour récupérer automatiquement le code des étudiants).
- Introduction d'un rendu intermédiaire pour les étudiants pour les forcer à avoir une première version livrable une semaine avant la fin du projet : spécification du livrable, infrastructure technique pour le récupérer et le tester, ...
- Ré-écriture complète en 2013 pour changer de langage : nous utilisons un sous-ensemble très simple et peu intéressant pédagogiquement du langage Ada. Le passage à Java permet de renforcer les compétences des étudiants qui ont appris ce langage au semestre précédent, d'introduire des notions de programmation objets avancée comme les design patterns qui seront détaillés au semestre suivant, et d'utiliser les nombreux outils et bibliothèques de l'écosystème Java. Je suis le seul auteur de la nouvelle version : 10 000 lignes de code en Java.
- Introduction de notions d'agilité et Scrum, au départ expérimentalement dans quelques groupes. Les principes que j'ai introduits ont été généralisés à tous les groupes après mon départ.

1.2.10 Autres évolutions majeures ou créations de cours

- Refonte du cours d'Unix en première année, introduction d'innovations pédagogiques comme le « Jeu de piste » et l'examen de TP (cf. <http://matthieu-moy.fr/spip/?Unix-training-a-set-of-tools-to>)
- Montage du cours « logiciel de base et langage C » en filière apprentissage en 2009
- Création d'un stage de 3 jours de mise à niveau en compilation pour l'année de transition de la mise en place de filières en 2008.

- Gestion des fraudes sur les rendus de projets/TP : utilisation de logiciel de détection de similarités, développement d'un outil ad-hoc, co-écriture d'une charte signée par les étudiants en début de projet.
- Automatisation des tests dans les UE « Compilation et transformation de programme » (M1 Lyon 1) et « Compilation et analyse de programme » (M1 ENS Lyon), correction possible des 4 rendus étudiants en mode 100% automatique.

1.3 Responsabilités Pédagogiques

1.3.1 À l'Ensimag et Grenoble INP

- **Responsable de la filière Systèmes et logiciels embarqués** (2015-2017) : participation aux bureaux pédagogiques, gestion des cas particuliers d'étudiants, coordination des évolutions des enseignements, validations des sujets de stage, ... Participation active à la fusion des filières SLE et ISSC pour une nouvelle filière « Systèmes Embarqués et Objets Connectés » (SEOC).
- **Responsable de la filière « Informatique-Génie logiciel-Programmation »** du Département Formation Continue Grenoble INP. Participation à l'élaboration du catalogue de formation, jurys d'admission, négociation de contrats avec les entreprises, ...
- Membre élu de la CPVE (Commission Pédagogique et de la Vie Étudiante) de 2009 à 2012, membre nommé de 2015 à 2017.
- Fort investissement dans le fonctionnement des moyens informatiques de l'école, responsable de la commission « ordinateurs portables étudiants » de 2010 à 2012.
- Correspondant « Chamilo » pour l'Ensimag de 2015 à 2017.
- Nombreuses responsabilités de cours et projets (cf. Section 1.2.6)

1.3.2 À l'UCBL

J'ai assuré la **co-responsabilité de la licence d'informatique UCBL** de la rentrée 2020 à décembre 2023 (5 parcours, environ 1000 étudiants répartis sur L1, L2, L3), avec mon collègue Hamid Ladjal. La première année, j'ai assuré la majorité des tâches liées à cette responsabilité (nous avons décidé d'un commun accord de nous partager les heures équivalent TD 2/3 — 1/3 en ma faveur pour refléter les tâches réalisées), nous avons ré-équilibré la charge par la suite. J'ai également assuré certaines tâches normalement confiées à la direction du portail quand cette direction était vacante (en 2020-2021, puis à la rentrée 2023).

Les tâches principales que j'ai prises en charge :

- Coordination des discussions sur l'évolution de la maquette pédagogique (nouvelle accréditation en 2022) : — Mise en place d'un forum de discussion via GitLab issues — Organisation de visioconférences pour discuter de l'existant et des évolutions — Envoi régulier de point d'étapes aux enseignants pour résumer l'état des discussions et les décisions restant à prendre — Discussions avec les autres départements (mathématiques et bio-sciences) pour la mutualisation d'UE — Saisie de la maquette dans notre outil interne — Planification des UE demi-journée par demi-journée
- Gestion de la crise COVID : — Visioconférences avec la direction de l'université une fois par semaine, et retransmission des informations importantes aux enseignants — Emails réguliers aux étudiants pour les informer de l'évolution de la situation — Organisation de visioconférences pour informer les étudiants et avoir leurs retours — Planification centralisée des contrôles obligatoires pour permettre aux étudiants habitant loin de Lyon de s'organiser — Gestion des jauges (50% puis 20%), rédaction d'une documentation pour utiliser notre outil interne de comptabilisation des étudiants en présentiel

- Mise en place d'un espace GitLab entre responsables pour archiver nos documents et gérer les tâches à faire
- Président de jury ParcoursSup (paramétrage de l'outil d'aide à la décision, coordination des membres du jury sur l'examen des dossiers, etc.) en 2021 puis membre du jury
- Jury eCandidat pour l'admission en L2 et L3
- Organisation des jurys d'année en L2 et L3, participation au jury L1 (présidé par la directrice de portail)
- Gestion des tâches normalement affectées au directeur de portail (comme la présidence de jury ParcoursSup) pendant l'hiver 2021, en l'absence de directeur pour le portail maths-info.
- Coordination avec l'ENS Lyon pour le parcours L3 informatique fondamentale (qui correspond à la première année ENS Lyon), participation aux jurys de semestre et d'années
- Jury de dérogation pour 3ème inscription administrative pour les étudiants ayant déjà redoublé.
- Gestion des avis de poursuite d'études des étudiants
- Présentations de rentrée auprès des étudiants
- Organisation d'une présentation des licences professionnelles pour les étudiants
- Participations aux salons de l'étudiant, présentations de la licence à divers évènements sur l'orientation (salon de l'étudiant, forum avenir UCBL, conférence PEEP sup)
- Discussions avec le responsable relations internationales sur l'accord de double diplôme avec Ho Chi Minh Ville
- Création d'un Wiki interne pour les enseignants, contenant les réponses aux questions fréquentes
- Réponses aux questions des enseignants et des étudiants sur l'organisation générale de la licence.
À titre indicatif, cette responsabilité correspond à environ 2000 emails envoyés ou reçus par an.

1.4 Diffusion, rayonnement, activités internationales

Tous mes supports de cours sont disponibles publiquement en ligne.

Je maintiens à jour le site de la licence d'informatique (j'ai ajouté les liens vers les sites webs indispensables sur la page d'accueil, clarifié la liste des UE, remettant à jour les liens vers les pages des UE, complété la section poursuite d'études, etc.).

J'ai créé une documentation sur l'accès distant, en réponse au passage des cours en distanciel à cause du COVID (<https://forge.univ-lyon1.fr/dpt-info/docs/-/blob/master/fichiers-distants.md>).

Pendant la crise COVID, j'ai documenté les outils et pratiques que j'utilisais sur mon site web, par exemple <https://matthieu-moy.fr/spip/?Faire-une-video-sur-transparent-sous-Linux-Ubuntu> et <https://matthieu-moy.fr/spip/?Discord-pour-l-enseignement-a-distance>. Ces documentations ont été ajoutées à celles proposées par iCap (Innovation Conception et Accompagnement pour la Pédagogie) pour l'UCBL.

J'ai donné un exposé « Pourquoi et comment se lancer dans le libre quand on est étudiant (ou pas)? » au campus du libre en 2018 et 2019.

J'ai créé plusieurs outils que je partage comme logiciels libres :

Findups [S10] : un outil de détection de fraude permettant d'identifier les fichiers identiques dans un ensemble de répertoires (utile en complément des outils classiques qui détectent des similitudes, avec plus de faux positifs)

ADE-UCBL [S9] : une bibliothèque permettant de scripter les réservations de salles dans le système interne de l'UCBL

generate-skeletons [S11] : un outil permettant d’extraire un squelette à distribuer aux étudiants à partir du corrigé enseignants.

chamiloools [S8] : Un ensemble d’outils open-source pour enseignants, pour interagir avec un serveur Chamilo ¹ depuis la ligne de commande. En particulier, chamiloools permet de saisir des QCM hors-ligne dans une syntaxe textuelle et de les envoyer sur Chamilo automatiquement. Je suis l’auteur de la majorité du code et de la totalité de la documentation (environ 5000 lignes de Python).

Unix-training [S4] : Ensemble d’outils pour enseigner Unix (également adapté à une introduction à Python) de manière efficace et ludique. Je suis l’auteur de la quasi-totalité du code (environ 5300 lignes de scripts shell + 2000 lignes de PHP).

1.4.1 Divers

- Créateur et responsable d’EnsiWiki (<http://ensiwiki.ensimag.fr/>), qui contient à la fois des supports de cours Ensimag et des documentations techniques et scientifiques généralistes, ainsi que des rapports de recherche d’étudiants. Le wiki est public et permet donc de diffuser l’information très largement. 50 % des accès à EnsiWiki se font depuis l’extérieur de la région Rhône-Alpes ; le site recevait plus de 750 visiteurs uniques par jour, mais a disparu quelques années après mon départ de l’Ensimag.
- Sensibilisation aux métiers scientifique des lycéens et étudiants en classes préparatoires (participation à la journée Filles et Maths en 2012, 2013, 2014, visites détaillées de l’Ensimag pour les étudiants de la prépa des INP chaque année, exposé pour les conférences métiers des CPGE du Lycée Champollion en 2013, présentation DECLICS en 2021 et deux fois en 2023...).

2 Activité scientifique

2.1 Présentation des thématiques de recherche

J’ai été maître de conférences dans l’équipe Synchrone du laboratoire Verimag de 2006 à 2017. Mes activités de recherches à Verimag se sont articulées autour des thèmes suivants :

1. La modélisation des systèmes sur puces à haut niveau d’abstraction (modélisation TLM en SystemC en particulier), dont le but principal est de permettre d’exécuter du logiciel embarqué en simulation sans disposer du système matériel.
2. La vérification formelle de programme, ou de circuit électronique, pour prouver l’absence de problèmes sans exécuter le programme (en utilisant des techniques comme le model-checking ou l’interprétation abstraite).
3. Les modèles formels d’analyse de performance, en particulier le *Real-Time Calculus* (RTC), pour borner formellement la latence d’un système.
4. L’implantation de systèmes critiques temps-réels sur architecture many-core. L’état de l’art industriel est très avancé pour l’implantation de systèmes critiques sur processeur mono-cœur, mais le multi- ou many-core ajoute d’autres problèmes : les communications et interférences entre cœurs doivent être pris en compte.

Ces thèmes sont bien entendu corrélés, puisqu’une partie de mes activités concerne la vérification formelle de programmes SystemC/TLM, que les techniques de vérification formelle sont utilisées dans mes travaux sur RTC, et que nous modélisons les performances au niveau TLM. L’implantation de systèmes critiques temps-réel sur architectures multicœurs est un thème plus récent pour moi qui a utilisé les résultats des trois autres.

1. Chamilo Learning Management System, <https://chamilo.org/>

Un résumé de mes recherches jusqu'à 2014 est disponibles dans mon document d'habilitation [T2] et dans mon compte-rendu d'habilitation publié à TSI [JF1].

À la suite de ma mutation au LIP, nous avons avec Christophe Alias et Laure Gonnord créé une nouvelle équipe, CASH (Compilation and Analysis, Software and Hardware). Les informations sur l'équipe (présentation rapide, texte fondateur de l'Équipe Projet Commune Inria, ... sont en ligne à l'adresse <http://www.ens-lyon.fr/LIP/CASH/>). Mes sujets de recherche ont évolué : j'ai poursuivi mes activités sur la modélisation de systèmes sur puces, et ré-orienté progressivement les autres axes vers la compilation pour le calcul haute performance (HPC). L'objectif de l'équipe est de fournir au programmeur des outils pour programmer efficacement le parallélisme sur des processeurs et accélérateurs matériels utilisés pour le HPC. J'ai également démarré des activités de vérification formelles de circuit au niveau transistor, et plus récemment démarré des travaux sur l'impact environnemental du numérique.

2.1.1 Modélisation et simulation de systèmes sur puces

Les systèmes sur puces sont des systèmes combinant logiciel embarqué et blocs matériels (accélérateurs, mémoires, composants d'entrée-sorties, ...) sur une seule puce. Ils sont utilisés notamment dans les smartphones, systèmes multimédia, et plus généralement dans les systèmes nécessitant une grande capacité de calcul et la flexibilité du logiciel.

La modélisation à haut niveau d'abstraction (en général au niveau dit « transactionnel », ou TLM) est une étape importante du flot de conception d'un système sur puce, qui permet de simuler rapidement le comportement du système, en particulier d'exécuter du logiciel embarqué en simulation. Le standard du domaine est SystemC.

Les travaux autour de SystemC/TLM ont démarré dans l'équipe Synchrone avec ma thèse en 2002. J'ai ensuite repris et dirigé cette activité dans l'équipe depuis 2006 : recherche, collaboration industrielle et transfert dans la formation Ensimag au niveau Master. Le partenariat démarré par ma thèse CIFRE avec STMicroelectronics s'est prolongé avec 3 autres thèses et 2 projets collaboratifs. Le but ici est de proposer des modèles exécutables (simulateurs) de systèmes sur puces, qui soient assez précis pour exécuter du logiciel, fiables, et fidèles à la réalité.

Partant des questions de vérification formelle (*model-checking*, interprétation abstraite), la thématique a évolué progressivement vers des problèmes de modélisation (modélisation du temps et du parallélisme physique, modélisation de la consommation d'énergie), et l'efficacité des simulation (via des techniques de compilation et du parallélisme). Les activités se poursuivent aujourd'hui, centrées sur le parallélisme des simulations et la modélisation. J'ai co-encadré une thèse avec le CEA-LIST dans laquelle nous avons travaillé sur la simulation parallèle avec mémoire partagée, qui pose des problèmes encore non-résolus jusqu'alors pour permettre une parallélisation efficace et sémantiquement correcte.

J'ai également travaillé en collaboration avec le CITI (1 thèse co-encadrée et un stagiaire) sur L'utilisation de la simulation pour comparer les performances de différentes stratégies d'allocation mémoire dans le cas des systèmes à mémoires hétérogènes (SRAM/NVRAM), et la définition de nouvelles stratégies d'allocations pour exploiter au mieux les spécificités de chaque mémoire.

Résultats principaux :

- Techniques de compilations dédiées pour SystemC (partie frontale du compilateur, ou *front-end*) : [C2], [C7], [W4] et les logiciels [S3] et [S1].
- Traduction de SystemC vers des langages formels pour la vérification de propriétés : [C1], [B1], [J1], [W1], [W2], [C4] et [W7] et le logiciel LusSy (non-publié)
- Co-simulation entre un modèle SystemC/TLM et un modèle de puissance et de température : [C15], [C11], [C14], [C16], [J2], et le logiciel [S7]
- Vérification à l'exécution : [C3]
- Problèmes de modélisation et de fidélité des modèles à la réalité : [W6], [C9], [C10].

- Parallélisation des simulations : [J4], [C17], [W9], [C13], [C23, J5] et la bibliothèque [S6].
- Utilisation de la simulation pour comparer des stratégies d’allocations mémoire et en définir de nouvelles : [C21, W11]

2.1.2 Vérification formelle de programmes

La vérification formelle de programmes consiste à analyser statiquement un programme pour en extraire des invariants comme des ensembles de valeurs possibles de variables ou prouver des propriétés. Tous les problèmes intéressants étant indécidables, nous utilisons des approximations conservatrices : le but est donc de trouver les bons compromis pour avoir une analyse précise et raisonnablement rapide.

Ces activités ont été réalisées en collaboration avec David Monniaux (DR Verimag). Nous avons dans un premier temps proposé à des étudiants des stages courts, reproduisant l’état de l’art en interprétation abstraite et *model-checking* sur des sous-ensembles simples de langages de programmation généralistes, puis avons continué avec de nouvelles techniques, fournissant des invariants plus précis que les techniques de l’état de l’art.

Une autre approche est celle de la preuve interactive, en utilisant des assistants de preuves comme Coq. J’ai travaillé avec Yannick Zakowski et Ludovic Henrio sur la définition de sémantique formelle appliquée à la compilation certifiée (qui consiste à prouver formellement la correction d’un compilateur). Nous nous intéressons ici à la sémantique des programmes parallèles, incluant la notion de modèles mémoires faibles, dans l’optique de prouver la correction d’un compilateur pour programmes parallèles. Nous avons démarré la thèse de Nicolas Chappe en 2021, dont j’étais directeur la première année. Si ce domaine de recherche était très enrichissant et j’ai pu y contribuer significativement (en étant l’encadrant avec la meilleure expertise sur les questions matérielles sous-jacentes), mais j’ai finalement renoncé à l’encadrement faute de temps, pour pouvoir me consacrer plus efficacement aux autres projets en cours (en particulier la collaboration avec Aniah).

Résultats principaux :

- Combinaison de techniques de *SMT-solving*² et d’interprétation abstraite pour la vérification de programmes : [C12], [W8] et le logiciel [S5]
- Les travaux du début de la thèse de Nicolas Chappe ont permis de donner une sémantique formelle à des programmes parallèles en utilisant la notion de *ctrees*. Les travaux ont continué après mon départ et ont donné lieu à une publication à POPL’2023 dont je ne suis pas co-auteur.

2.1.3 Modèles formels d’analyse de performances

En parallèle de l’approche de simulation, j’ai également initié, avec Karine Altisen (MCF Verimag), des travaux sur des modèles formels pour l’analyse de performances basés sur le *Real-Time Calculus* (RTC). Ces travaux font le pont entre les méthodes purement analytiques (peu expressives mais très rapides) et les techniques d’exploration d’espace d’état (expressives, mais qui ne passent pas à l’échelle). Partant de discussions avec Lothar Thiele (ETHZ), nous avons adapté les techniques existantes du RTC aux outils Verimag, ce qui a permis d’utiliser de nouveaux outils sur ces problèmes (interprétation abstraite et de *SMT-solving* en particulier), dans l’outil *ac2lus* (5000 lignes de C++, 90% écrites par moi-même).

Résultats principaux :

- Interfaçage entre les méthodes analytiques en *Real-Time Calculus* et les méthodes d’exploration d’espace d’état (*model-checking*, interprétation abstraite, *SMT-solving*) : [C5], [W3] et le logiciel *ac2lus* (non-distribué).

2. Un solveur SMT (Satisfiability Modulo Theory) prend en entrée une formule logique et numérique et détermine si la formule est satisfaisable ou non

- Problème et solutions sur la question de la causalité des courbes d'arrivées (fondation théorique nécessaire pour traiter le premier point) : [W5], [C6], [J3].

2.1.4 Implantation et sûreté des systèmes critiques temps-réel

L'implantation de systèmes temps-réel est une des thématiques de recherches sur lesquelles le laboratoire Verimag s'est construit, avec en particulier le langage Lustre. Un nouveau challenge est de permettre le développement de systèmes avec les mêmes garanties temps-réel mais sur des architecture multi-, voire many-core. J'ai été fortement investi dans les travaux sur ce thème, qui s'est largement développé dans l'équipe Synchrone : 2 thèses CIFRE et le projet CAPACITES (Calcul Parallèle pour Applications Critiques en Temps et Sûreté) ont démarrés entre fin 2014 et 2015. Ce thème ne fait pas partie des priorité thématique de la nouvelle équipe CASH, mais je poursuis une partie de ces travaux en collaboration avec Verimag. Je souhaite reprendre une collaboration direct avec Kalray dans le domaine du HPC (nous avons déjà travaillé en 2017 sur un projet de thèse commune, qui n'a pas abouti faute de candidat).

Résultats principaux :

- Génération de code depuis SCADE et Lustre vers MPPA : [C20].
- Analyse de pire temps d'exécution (WCET) sur architecture multi-cœur, en prenant en compte les interférences dues aux ressources partagées : [C18], [W10], [C19], [C22], [C24].

2.1.5 Compilation et Synthèse de Haut Niveau

Suivant mon recrutement au LIP, et la création de l'équipe CASH qui a suivi, j'ai démarré de nouvelles activités autour de la compilation, et de la synthèse de haut niveau ou HLS (High-Level Synthesis), qui consiste à compiler des programmes séquentiels vers des circuits, permettant entre autres l'utilisation de FPGA comme accélérateur pour le calcul haute performance.

Pour le démarrage de l'équipe, j'ai mis l'accent sur les aspects HLS de l'équipe, en travaillant avec Christophe Alias sur l'intégration de nos approches. Nous avons co-encadré 4 stagiaires sur la simulation et le debug de la représentation intermédiaire DPN utilisée dans le compilateur HLS écrit par Christophe. Nous disposons maintenant de :

- Un générateur de code C, qui permet la génération de code pour implantation sur FPGA en passant par un outil « backend ». L'outillage CASH permet d'extraire le parallélisme d'un programme séquentiel, et l'outil backend permet la génération de circuit et l'exécution sur FPGA.
- Un générateur de code SystemC, utilisant les mêmes principes que ceux décrits dans la partie 2.1.1 pour la simulation rapide de la représentation DPN.
- Une approche permettant d'optimiser le placement des données sur FPGA avec des mémoires multi-bancs.

2.1.6 Outils de synchronisation pour la programmation parallèle

Je travaille en collaboration avec Ludovic Henrio sur des constructions de langages permettant une synchronisation efficace entre fils d'exécutions parallèles, en fournissant au programmeur des garanties de correction.

Un outil très utilisé dans les systèmes de programmation parallèle est la notion de futur : un futur représente le résultat d'un calcul qui n'est pas nécessairement terminé. Accéder à cette valeur bloque le fil d'exécution appelant si nécessaire, pour que l'accès ne provoque jamais d'accès à une valeur non-initialisée. Nous avons étendu la notion de futur en proposant les « data-flow explicit futures », qui permettent d'imbriquer les futurs de manière transparente pour le programmeur, fournissant à la fois

des bases théoriques pour le concept et des résultats expérimentaux prouvant les bonnes performances de l'approche.

Nous avons également travaillé, dans le cadre de la thèse d'Amaury Maillé, sur une approche inspirée des futurs dans le cas où les données échangées sont des tableaux, ou des flots non-bornés de valeurs. Les constructions que nous proposons fournissent des garanties similaires aux futurs (absence de data-race), avec une implémentation finement optimisée (opérations atomiques, calcul de la granularité optimale d'échange de données, etc.)

Résultats principaux :

- Une étude détaillée des propriétés théoriques et pratiques des data-flow explicit future [J6].
- Des constructions permettant d'échanger efficacement des données sous forme de tableaux [C25] ou de flots de données non-bornés.

2.1.7 Simulation de supercalculateurs

Nous travaillons avec Bull/Atos sur la simulation de supercalculateurs, en particulier du réseau d'interconnexion BXI développé par Atos. La simulation est utile dans ce domaine pour permettre de prédire les performances d'un système, par exemple pour dimensionner un calculateur avant achat pour un client, ou pour prendre des décisions sur l'architecture de la prochaine génération de matériel pour Atos.

Un outil largement utilisé dans le domaine est SimGrid, et la surcouche SMPI qui permet d'exécuter une application utilisant le standard de communication MPI en simulation. Nous avons développé une approche alternative à celle de SMPI, utilisant également SimGrid : nous modélisons les détails de bas niveau du réseau BXI, et permettons d'exécuter une application utilisant MPI en réutilisant l'ensemble de la bibliothèque MPI avec très peu de modifications. Cette approche offre une plus grande précision que SMPI, et permet de nouvelles applications, comme l'utilisation de simulateur par les développeurs de la bibliothèque MPI.

Résultats principaux :

- Simulation du réseau BXI [W12],
- Simulation d'application MPI en utilisant ce modèle [C26].

2.1.8 Vérification de circuits au niveau transistor

Aniah est une jeune entreprise Grenobloise, qui édite un logiciel de vérification de circuit au niveau transistor. La majorité des activités de vérification de circuit est réalisée en amont, au niveau RTL, mais des nouveaux problèmes peuvent survenir pendant le flot menant du RTL au circuit final. En particulier, la notion d'alimentation électrique n'est pas présente au niveau RTL, donc les problèmes liés aux alimentations ne sont pas encore visibles à ce niveau. L'état de l'art du domaine utilise principalement la simulation bas niveau (très lente si on veut obtenir une bonne couverture du circuit), des analyses assez basiques de propagation suivant la topologie du circuit, ou des méthodes ad-hoc de reconnaissances de motifs. Nous développons avec Aniah ce qui est à notre connaissance la première analyse prenant en compte la sémantique des composants (et non simplement la manière dont ils sont connectés) dans un circuit disposant de plusieurs alimentations avec différents voltages. Nous utilisons des techniques déjà largement utilisées pour le model-checking comme les solveurs SAT ou SMT, mais qui sont très rarement utilisées pour la vérification au niveau transistor. Nous avons montré que notre méthode permettait un passage à l'échelle sur des circuits de l'ordre de la dizaine de milliers de transistors sans exploiter la hiérarchie du circuit, ce qui est largement au-dessus de ce que peut faire une exploration exhaustive et énumérative de l'espace d'états.

Ces travaux ont donné lieu à deux contrats industriels. Un premier autour du postdoctorat de Bruno Ferres (Inria/Aniah, 35K€), et un second pour la thèse CIFRE (CNRS/UGA/Aniah, 65K€). J'ai lancé les discussions avec Aniah pour une éventuelle deuxième thèse CIFRE en 2024 (rédaction d'une

roadmap sur l'ensemble des travaux, argumentaire pour convaincre de l'intérêt de travailler sur des approches hiérarchiques malgré les enjeux de confidentialité).

Résultats principaux :

- Une analyse détaillée de l'état de l'art, qui donnera lieu prochainement à la soumission d'un article *survey*.
- Deux définitions de la sémantique des transistors avec les encodages en formule SMT permettant de vérifier automatiquement des propriétés sur les circuits avec gestion des alimentations multiples [C27, C28].
- Après expérimentation dans notre prototype, l'approche a été ré-implémentée dans l'outil industriel d'Aniah, et est maintenant utilisée par les clients de l'entreprise.

2.2 Publications et production scientifique

2.2.1 Articles dans des conférences et revues

La liste complète de mes publications est disponible à l'adresse <http://matthieu-moy.fr/spip/?Publications>, et en pièce jointe à ce dossier.

La quasi-totalité de mes publications correspond à un outil, avec des résultats expérimentaux relativement longs à obtenir. J'ai contribué directement au code des outils (ou en suis le seul auteur) pour d'un bon nombre d'entre eux.

Mon **h-index est 19** d'après Google Scholar (<https://scholar.google.fr/citations?user=LWPAr5MAAAAJ>), avec un total de 1273 citations (321 citations depuis 2019).

Publications dans des **revues internationales** : 7 publications, donc 1 publication à Springer FMSD (rang A classement CORE ERA2010) en 2016, Integration the VLSI journal ("Excellent niveau" dans le classement GDR SOC2).

Dans mes thématiques de recherches, les articles de conférences sont en général mieux valorisés que les revues. Mes articles de conférences les plus prestigieux :

- TACAS 2010, Emsoft 2005 et 2010, SAS 2011, ITiCSE 2011 et ECRTS 2010 : **conférences de rang A** au classement CORE 2014
- 8 publications à DATE (rang B au classement CORE, mais **rang A+** au classement du GDR SOC2, et c'est une conférence que je considère comme une référence dans le domaine du matériel).

2.2.2 Détails sur les publications jointes au dossier

Je joins à ce dossier les publications que je considère les plus importantes dans mon dossier, par ordre décroissant d'importance (en termes de contribution scientifique, qui n'est pas nécessairement reflété par le prestige ou le taux de sélection de la conférence ou de la revue). Pour chacune je re-place la publications dans ma démarche de recherche et je précise ma contribution sur la publication.

[J4] "*Parallel Simulation of Loosely Timed SystemC/TLM Programs : Challenges Raised by an Industrial Case Study*", Denis BECKER, **Matthieu MOY** et CORNET. (21 pages) : cet article est un point d'étape important dans ma collaboration avec STMicroelectronics. J'avais travaillé seul sur la question de la parallélisation de SystemC (outil sc-during), en basant mes travaux sur des hypothèses sur le profil de performance des modèles. La thèse CIFRE STMicroelectronics/Verimag de Denis Becker m'a donné une occasion de vérifier les hypothèses sur un cas d'étude industriel. Denis Becker a écrit des outils de profiling qu'il a appliqué sur l'étude de cas fournie par STMicroelectronics. Il est le premier auteur de l'article. J'ai contribué à l'article en tant qu'encadrant : nombreuses relectures et annotations de brouillons, et ré-écriture de quelques sections.

- [J3] “*Causality Problem in Real-Time Calculus*”, ALTISEN et **Matthieu MOY**. (45 pages) : cette publication est l’aboutissement de plusieurs années de recherche sur le problème de la causalité des courbes d’arrivées. Ces recherches théoriques donnent les bases théoriques pour faire des ponts entre les modèles de performance analytiques (« Real-Time Calculus ») et les modèles computationnels (model-checking, interprétation abstraite, SMT-solving). Les théorèmes principaux avaient déjà été publiés dans des conférences et workshops, mais les preuves n’apparaissaient dans aucune publication revue par des pairs. Cet article correspond à un gros travail de fond pour rendre les preuves accessibles aux non-spécialistes tout en gardant la rigueur nécessaire pour la revue par un spécialiste. C’est moi qui ai trouvé les idées clés des preuves des théorèmes principaux. Je suis le principal auteur de l’implémentation logicielle des idées (outil ac2lus). Karine Altisen a trouvé des versions plus élégantes que les miennes pour certaines preuves. Le travail de rédaction de l’article est commun à environ 50 %/50 %.
- [C20] “*Parallel Code Generation of Synchronous Programs for a Many-core Architecture*”, Amaury GRAILLAT, **Matthieu MOY**, RAYMOND et DINECHIN. (4 pages) : Cet article est la deuxième brique clé de la chaîne d’outil permettant de générer sur architecture Kalray une implantation temps-réel d’une application. L’outil présenté permet de traduire une application écrite en Lustre en un ensemble de tâches écrites en C. Amaury Graillat est l’auteur principal du papier, c’est lui qui a réalisé l’outil et les résultats expérimentaux. J’ai contribué à la fois en tant qu’encadrant et comme responsable du projet CAPACITES, en organisant la synchronisation entre les doctorants travaillant sur le sujet : c’est moi qui ai la vision globale de la chaîne d’outils, et qui ai fourni les idées clés sur l’analysabilité temporelle des programmes. Bien sûr, j’ai participé via de nombreuses relectures et annotations de brouillons, et à l’écriture de quelques sections.
- [J2] “*Modeling Power Consumption and Temperature in TLM Models*”, **Matthieu MOY**, HELMSTETTER, BOUHADIBA et MARANINCHI. (29 pages) : cet article est la conclusion de deux post-doctorats et un projet ANR (HeLP) sur le thème de l’analyse de consommation et de température de systèmes sur puces, par des simulations à haut niveau d’abstraction. Les post-doctorats étant terminés, c’est moi qui me suis occupé de la rédaction de l’article. En amont, j’avais encadré les deux post-doctorats et fourni les idées clés derrière les méthodes de co-simulation, et animé les discussions avec les partenaires industriels dans le projet HeLP. J’ai également fourni le code de la plateforme d’exemple, et aidé au debug des outils.
- [C28] “*A transistor level relational semantics for electrical rule checking by SMT solving*”, FERRES, Oussama OULKAID, HENRIO, KHOSRAVIAN, **Matthieu MOY**, RADANNE et RAYMOND. (6 pages) Cette publication présente notre approche de vérification pour les circuits au niveau transistor. L’outil décrit permet de prouver automatiquement l’absence d’erreur de type « missing level shifter » (composant manquant à l’interface entre deux domaines de voltages). Partant d’une description de circuit au format CDL, nous compilons ce circuit en une formule logique encodant sa sémantique, à laquelle nous ajoutons la propriété « Il existe un transistor qui présente l’erreur recherchée ». Lorsque le SMT solveur donne la réponse UNSAT, la propriété est prouvée, et lorsqu’il donne SAT, nous obtenons une configuration concrète menant à l’erreur. Des résultats expérimentaux montrent que l’approche est viable sur des études de cas industrielles (quelques secondes pour analyser un sous-circuit de milliers de transistors). L’approche est maintenant ré-implémentée dans l’outil commercial d’Aniah. La plupart des idées clés derrière l’approche sont de moi. L’implémentation du prototype a été faite par un doctorant et un post-doctorant sous mon encadrement, et j’ai participé à la rédaction de l’article.

2.3 Encadrement doctoral et scientifique

Les pourcentages sont des taux d’encadrement (100% lorsque je suis seul encadrant).

9 thèses encadrées soutenues :

- Giovanni Funchal, 2007-2011, 70% (co-encadré avec Florence Maraninchi). CIFRE STMicronics, « Contributions to the Transaction-Level Modeling of Systems-on-a-Chip ». Dernière situation connue : Core Engine Team Lead at CloudNC.
- Julien Henry, 2011-2014, 50% (co-encadré avec David Monniaux). « Static Analysis by Abstract Interpretation and Decision Procedures ». Accessit au prix de thèse GDR GPL 2014. Situation actuelle : CDI chez MathWorks/Polyspace.
- Hamza Rihani, 70% (directeur, co-encadré avec Claire Maiza), 2014-2017, « Worst-case execution time on Many-Core architectures ». Situation actuelle : CDI chez Synopsys.
- Denis Becker, 100% (directeur), 2014-2017, CIFRE STMicronics, « Parallel execution of SystemC/TLM programs ». Dernière situation connue : après un CDD de 1 an à Verimag, en recherche d'emploi.
- Amaury Graillat, 50% (directeur, co-encadré avec Pascal Raymond), 2015-2018, CIFRE Kalray, « Code Generation for Multi-Core Processor with Hard Real-Time Constraints ». Dernière situation connue : CDI chez Alpao.
- Tristan Delizy, 30% (sous la direction de Tanguy Risset, co-encadré avec Guillaume Salagnac et Kevin Marquet du laboratoire CITI), 2016-2019, bourse région ARC, « Gestion dynamique de la mémoire non-volatile embarquée ». Situation actuelle : ingénieur systèmes embarqués chez Parcoor.
- Gabriel Busnot, 30% (directeur de thèse, co-encadré avec Tanguy Sassolas du CEA-LIST), 2017-2020, « Accélération SystemC pour la co-simulation multi-physique et la simulation de modèles hétérogènes en complexité ». Situation actuelle : ingénieur en modélisation de performance chez Arteris IP.
- Julien Emmanuel, 50% (directeur de thèse, co-encadré avec Ludovic Henrio), 2020-2023, CIFRE Bull/Atos, « Modélisation et simulation multi-précision de réseau d'interconnexion de supercalculateurs ». Situation actuelle : consultant informatique à la DSI de Fiducial.
- Amaury Maillé, 50% (co-encadré avec Ludovic Henrio), 2019-2023, « Simple, Safe, and Efficient Abstractions for Communication and Streaming in Parallel Computing ». Situation actuelle : ingénieur CDI chez Kalray.

Participation à l'encadrement d'1 thèse :

- Nicolas Chappe, 2021-2022, 30%, directeur de thèse (co-encadré avec Yannick Zakowski et Ludovic Henrio), « Toward a verified compilation infrastructure for concurrent programs : Non-sequential paradigms in Vellvm ». Nous avons démarré l'encadrement à 3, je me suis retiré de l'encadrement en juin 2022 pour pouvoir consacrer plus de temps à la collaboration avec l'entreprise Aniah.

1 thèse en cours :

- Oussama Oulkaid, 2022-présent, 35% (directeur, co-encadré avec Pascal Raymond et Mehdi Koshrovian). Thèse CIFRE en partenariat avec Aniah. « Techniques de model-checking pour la vérification pseudo-électrique de circuits ».

Autres encadrements :

- **14 stages M2 recherche** (Muhammad-Muzammil Shabaz, 30% ; Giovanni Funchal, 30% ; Samuel Jones, 70% ; Nabila Abdessaied, 50% ; Julien Henry, 50% ; Hanan Kanso, 50% ; Guillaume Sergent, 100% ; Amaury Graillat, 50% ; Amaury Maille, 30% ; Nicolas Chappe, 50% ; Valentin Pasquale, 50% ; Remy Neveu, 30% ; Oussama Oulkaid, 35%)
- **7 post-docs** (Kevin Marquet, Bageshri Karkare, Tayeb Bouhadiba, Claude Helmstetter, SangHoon Kwak, Liliana Andrade, Bruno Ferres), 1 post-doc court (Francesco Bongiovanni, 2 mois)

— plus de 20 stages niveau licence ou M1.

14 stages M2 recherche (Muhammad-Muzammil Shabaz, 30% ; Giovanni Funchal, 30% ; Samuel Jones, 70% ; Nabila Abdessaied, 50% ; Julien Henry, 50% ; Hanan Kanso, 50% ; Guillaume Sergent, 100% ; Amaury Graillat ; 50%, Amaury Maille, 30% ; Nicolas Chappe, 50% ; Valentin Pasquale, 50% ; Remy Neveu, 30% ; Oussama Oulkaid, 35%), **7 post-docs** (Kevin Marquet, Bageshri Karkare, Tayeb Bouhadiba, Claude Helmstetter, SangHoon Kwak, Liliana Andrade, Bruno Ferres), 1 post-doc court (Francesco Bongiovanni, 2 mois) et plus de 20 stages niveau licence ou M1.

2.3.1 Jurys de Thèses

Rapporteur sur les thèses :

- Benoît Vernay, « Modélisation et simulation haut-niveau de micro-systèmes électromécaniques pour le prototypage virtuel multi-physique en SystemC-AMS » (laboratoire LIP6, encadré par François Pêcheux et Marie-Minerve Louërat) en 2016
- Benjamin Rouxel, « Minimising communication costs impact when scheduling real-time applications on multi-core architectures » (IRISA, encadré par I. Puaut et S. Derrien), 2018
- Hamza Deroui, « Étude et implantation d'algorithmes pour l'ordonnancement d'applications Dataflow. » (INSA Rennes, encadré Jean-François NEZAN et Karol DESNOS) en 2019
- Riyane Yacine SID LAKHDAR, « Methodology for Code-Optimization of Memory Data-Layouts for High-Performance-System Architectures with Complex Memory Hierarchies » (CEA LIST/LFIM, encadré par Henri-Pierre CHARLES et Maha KOOLI) en 2020
- Nicolas LECLAIRE, « Architectures matérielles et logicielles pour l'accélération du "deep learning" sur multiprocesseur évolutif embarqué » (TIMA+STMicroelectronics, encadré par Stéphane Mancini) en 2021
- Sandro Grebant, « Calcul efficace du pire temps d'exécution symbolique à base d'arbres » (CRISAL, encadré par Giuseppe Lipari et Julien Forget) en 2023

2.4 Diffusion et rayonnement

2.4.1 Outils logiciels en recherche

En enseignement et en recherche, j'ai développé, ou participé au développement des logiciels (ordre chronologique inverse) :

LIBTLMPWT [S7] : Une bibliothèque open-source permettant de faire interagir une simulation SystemC/TLM avec un modèle de puissance consommée et de température. Les principes de co-simulations ont été intégrés à l'outil industriel Aceptorer.

sc-during [S6] : Bibliothèque permettant d'ajouter du parallélisme à une simulation SystemC en tirant partie du style de codage « découplage temporel ». sc-during est un logiciel libre développé presque exclusivement par moi-même, mais les mêmes idées sont utilisées dans une bibliothèque en production chez STMMicroelectronics. Je suis l'auteur de la quasi-totalité du code (2500 lignes de C++, plus les tests unitaires).

PAGAI [S5] : Un analyseur abstrait basé sur l'infrastructure de compilation LLVM. L'auteur principal est Julien Henry (doctorant que j'ai co-encadré avec David Monniaux).

ac2lus (non-publié) : Outil d'analyse temps-réel basé sur le *Real-Time Calculus*. Je suis l'auteur de la quasi-totalité du code (environ 5000 lignes de code).

PinaVM [S3] : Outil de compilation et de preuve pour des programmes SystemC, basé sur l'infrastructure de compilation LLVM. PinaVM utilise une approche hybride où une part du programme est exécutée et le reste analysé statiquement.

Framogr [S2] : Simulateur pour protocoles de sécurité avec un nombre quelconque de participants. Je suis le seul auteur (environ 4000 lignes de OCaml).

Pinapa [S1] et LusSy (non-distribué) : Ancêtre de PinaVM basé sur le compilateur GCC. Je suis seul auteur de Pinapa (environ 8500 lignes de C++) et auteur de la grande majorité de LusSy (35000 lignes de C++).

2.4.2 Autres productions logicielles

Mainteneur des logiciels libres : git-multimail, git-latexdiff, latexexpand, chamilotools, Mechanical-Soup, Include MediaWiki Extension.

Contributions aux logiciels : Git, Gitstats, git-gui, git-mediawiki, ade2ics, JFlex, darktable... (les détails sont disponibles à cette URL : <https://www.openhub.net/accounts/moy/positions>)

2.4.3 Google Summer of Code

Mon investissement dans le logiciel libre n'est pas limité au code. J'ai été mentor de Google Summer of Code en 2014 et 2015, et co-administrateur de l'organisation Git en 2015 et 2016.

2.4.4 Exposés de recherche invités

- **Exposé invité pour le Collège de France** « Prototypage virtuel de système sur puce pour une simulation rapide et fidèle », à Sophia-Antipolis (<http://tinyurl.com/tlm-college>), dans le cadre du cours de Gérard Berry (29 janvier 2014);
- Exposé invité pour les **20 ans du laboratoire Verimag** « Transaction-Level Models of Systems-on-a-Chip : Can they be Correct, Faithful and Fast? » (<http://www-verimag.imag.fr/20-years-of-Verimag.html>). Chaque équipe du laboratoire avait désigné un orateur pour la représenter, je représentais l'équipe Sychrone (27 septembre 2012);
- Exposé invité pour les **30 ans du laboratoire LIP** « Response Time Analysis of Dataflow Applications on a Many-Core Processor with Shared-Memory and Network-on-Chip » (9 novembre 2018);
- « Static Analysis by Abstract Interpretation and Decision Procedures », workshop OpenCert'14
- « Unix-training : un ensemble d'outils pour enseigner Unix de manière efficace et ludique » à la journée SPECIF campus sur la pédagogie de l'informatique en juin 2014;
- « Modeling time in discrete-event simulation of systems on a chip », invité par Gérard Berry dans les locaux du collège de France (13 mars 2013);
- « Modélisation du temps et parallélisme dans les simulateurs à événements discrets pour les systèmes sur puces » à la journée « simulation, vérification et synthèse à partir de TLM » du GDR SoC-SIP (décembre 2014);
- Exposé « EnsiWiki : un nouvel outil pédagogique à l'Ensimag » à la conférence nationale de la CEFI (comité d'étude sur les formations d'ingénieur, <http://www.cefi.org/>) en 2010.
- « Compilation and Real-Time Analysis of a Synchronous Data-Flow Application on the Kalray MPPA Many-Core Processor », Session « compilation » des journées du GDR GPL, Montpellier, Juin 2017.

2.4.5 Collaborations industrielles et académiques

Collaboration suivie avec STMicroelectronics J'ai été le principal acteur de la **collaboration suivie sur plus de 15 ans** entre l'équipe synchrone de Verimag et STMicroelectronics sur la modélisation TLM des SoCs. Cette activité se poursuit dans l'équipe CASH depuis mon arrivée au LIP.

Cette collaboration a donné lieu à : — Des projets collaboratifs : OpenTLM, HeLP, et OpenES, — 4 thèses communes (CIFRE et BDI cofinancées) soutenues, — 1 thèse sur projet collaboratif (OpenES) démarrée, — 4 post-docs sur projets collaboratifs (HeLP, OpenTLM, OpenES), — une thèse CIFRE en cours — de très nombreux stages courts.

Ma thèse (2002 - 2005) a été le point de départ de cette collaboration. Depuis mon recrutement en 2006, j'ai assuré la majorité des actions techniques (encadrement de thésards, post-doctorants, développement ou contribution aux outils informatiques sc-during, LIBTLMPWT, PinaVM). J'ai très largement contribué au montage et au suivi des projets collaboratifs OpenTLM, HeLP et OpenES.

J'ai transféré directement une partie des résultats des recherches communes en enseignement niveau Master, via le cours de modélisation en SystemC/TLM que j'ai donné à l'Ensimag puis en M2 à l'ENS de Lyon.

Collaboration avec Kalray Kalray est une entreprise de la région Grenobloise qui produit la puce many-core MPPA contenant 256 cœurs de calcul. En 2014, nous avons démarré une collaboration avec Kalray sur la thématique du temps-réel et de la sûreté. Ce sont mes travaux sur le *real-time calculus* qui ont motivé Kalray à solliciter Verimag pour rejoindre le projet CAPACITES, puis j'ai monté la collaboration CIFRE sur la génération de code pour MPPA depuis les langages synchrones.

Cette collaboration s'est élargie à d'autres partenaires, en particulier des travaux sur le scheduling temps-réel et l'analyse de compositionnalité temporelle de l'architecture Kalray avec Robert Davis (York), Sebastian Altmeyer (Luxembourg) et Jan Reineke (Sarrebuck).

Collaboration avec Aniah Je suis leader de la collaboration scientifique avec l'entreprise Aniah. Nous avons démarré des discussions avec l'entreprise Grenobloise Aniah en 2019, qui ont abouti à un partenariat formel en 2022. Nous travaillons ensemble sur de nouvelles approches de vérification de propriétés électriques au niveau transistor. J'ai invité le laboratoire Verimag à rejoindre la collaboration.

Cette collaboration a déjà mené à Un stage de fin d'études (Oussama Oulkaid), une thèse CIFRE (Oussama Oulkaid), et un post-doctorat (Bruno Ferres). Le post-doctorat et la thèse sont chacun accompagnés d'un contrat entre le laboratoire et l'entreprise. En 2023 j'ai travaillé sur une roadmap détaillée qui a permis de convaincre le PDG de l'entreprise de l'intérêt de travailler sur des approches hiérarchiques, malgré les enjeux de confidentialité.

Autres collaborations externes J'ai été moteur dans les collaborations avec les partenaires académiques et industriels suivants :

- Docea Power (startup spécialisée dans la modélisation de consommation et de température, maintenant rattachée à Intel) : sur la modélisation des propriétés extra-fonctionnelles des systèmes sur puces, et la co-simulation de modèles fonctionnels avec des modèles de consommation.
- CEA-LETI : sur la modélisation de file d'attente (FIFO) rapide et avec temps simulé précis.
- CEA-LIST : sur l'exécution parallèle de simulations SystemC/TLM.
- LEAT : sur la modélisation de consommation d'énergie au niveau TLM. Nous sommes partis d'une base de code commune, et le LEAT travaille sur des exemples de programmes TLM que j'ai développés (projet collaboratif HeLP).
- IRISA : sur la vérification formelle de programmes SystemC (projet FotoVP), puis l'ordonnement (projet CAPACITES)
- IRIT : sur l'analyse de WCET, ou temps d'exécution en pire cas (projet CAPACITES)
- ETH Zurich : sur l'analyse de performance modulaire avec le Real-Time Calculus (RTC). Reproduction des techniques de l'ETH en utilisant les outils Verimag, puis contribution aux fondations théoriques de l'approche, et comparaison de nos outils sur des exemples communs. Invitation de Kai Lampka (post-doctorant ETHZ) en visite à Verimag.

- INRIA Rhône-Alpes : sur la vérification de programmes TLM par interprétation abstraite (projet OpenTLM).
- eVaderis (start up) : sur la gestion de mémoire pour architectures hétérogènes contenant des mémoires non-volatiles (NVRAM)
- Équipe Phénix du CITI : sur la décroissance numérique durable.

Projets collaboratifs J'ai participé activement (participation à la rédaction des soumissions de projets ; encadrement de stagiaires, thésards, post-docs ; rédaction de livrables) aux projets suivants :

Fruganum (porteur) Projet émergent ENS Lyon LIP/CITI. « FrugaNum : Comment imaginer un numérique frugal ? » (2023-2025).

CAPESA Équipe associée Inria / UQAM : CharActerisation of Program Evolution with Static Analyses (2020 - 2022).

CAPACITES (<http://capacites.minalogic.net/>, Projet FSN LEOC, 2014 - 2018) : Calcul Parallèle pour Applications Critiques en Temps et Sûreté. **J'étais responsable pour Verimag.**

OpenES (<http://ecsi.org/openes>, Projet européen Cathrene, 2013-2016) : Open ESL Technologies for Next Generation Embedded Systems

OpenTLM (<http://opentlm.minalogic.net/>, Pôle de compétitivité Minalogic, 2006-2010) : Tools for the virtual prototyping of systems-on-a-chip

HeLP (<http://www-verimag.imag.fr/PROJECTS/SYNCHRONE/HELP/>, ANR ARPEGE, 2009-2012) : High Level Models for Low Power Systems

FotoVP (<http://www-verimag.imag.fr/PROJECTS/SYNCHRONE/fotovp/>, ANR ARA-SETIN, 2006-2009) : Outils formels pour le prototypage virtuel des systèmes embarqués

Combest (<http://www.combest.eu/>, projet européen 2008-2011) : COMponent-Based Embedded Systems design Techniques

Pour OpenES, j'ai participé à la rédaction de la proposition, encadré un début de thèse (abandonnée par le doctorant pour raisons familiales) et deux post-doctorants. J'ai aussi été conseiller technique pour le démarrage de la thèse de Yuliia Romenska, encadrée par Florence Maraninchi.

Pour CAPACITES, j'étais le **responsable pour Verimag**, membre du comité de pilotage du projet, responsable des livrables pour Verimag. C'est moi qui ai mis en place le site web du projet. J'ai co-encadré la thèse d'Hamza Rihani, participé très activement aux discussions entre laboratoires pour la connexion des outils au sein du sous-projet chargé de l'analyse temporelle. Du fait de la proximité géographique avec Kalray et de la thèse CIFRE en parallèle avec CAPACITES, j'ai eu accès plus facilement aux données techniques sur l'architecture Kalray et j'ai pu faciliter la transmission d'informations aux autres partenaires.

2.4.6 Revue d'articles et comités de programmes

J'ai été membre des comités de programme de : — Conférence EMSOFT en 2020 — Conférence VLSI-SoC 2016 — Conférence CC (ETAPS) 2015 — Workshop WCTT en 2011 et 2012 — Workshop DATICS-NESEA en 2011 — Workshop DATICS-IMECS en 2012 — Workshop DUHDe en 2016, 2017 et 2018 — Conférence francophone COMPAS en 2017, 2020

J'ai été rapporteur pour plus de 35 conférences et 15 journaux.

J'ai été rapporteur pour les articles de conférences : — EMSOFT 2007, 2009, 2010, 2011, 2012, 2014, 2015 et 2016 — VLSI Design Conference 2008 — VMCAI 2008 et 2018 — LCTES 2009 et 2016 — CAV 2010, 2015, 2019 — ICDCN 2012 — DATE 2012, 2013, 2014, 2015, 2016, 2018 et 2022 — ESOP 2012 — MEMOCODE 2012 — ECRTS 2013, 2015 et 2017 — LCTES 2013 et 2016 — TACAS 2013 — RTAS 2014 — DAC 2015 — Netys 2016 — MCSoc 2018, 2019, 2023 — IFM

2019 pour les workshops : — Modélisation des Systèmes Réactifs (MSR) 2011 — Workshop SPIN en 2011 Pour les revues internationales : — DAEM en 2012 — JSA en 2010 et 2013 — ACM TECS en 2010, 2013, 2014, 2016, 2022, 2023 — Transactions on Computers en 2012 — francophone TSI en 2012 — MDPI Sensors 2015 — Information Science 2016 — TCAD 2017 — TVLSI 2017 — MICPRO 2017 (2 articles) et 2018 — International Journal of Electronics en 2019 et 2020 — TACO en 2023

2.5 Responsabilités scientifiques

2.5.1 Comités de sélection

J'ai été membre externe des comités de sélection à l'INSA Lyon en 2009 et 2010 (3 postes chaque année). J'ai représenté Verimag en 2011 dans le jury du concours externe CNRS AI 259 (3 postes de gestionnaires de parc).

2.5.2 Responsabilités à Verimag

— Responsable de l'équipe Synchrone (Juillet 2015 - Août 2017) :

- Réorganisation des thèmes de l'équipe suite à la création de nouvelles équipes,
- Refonte du site web de l'équipe,
- Participation au recrutement d'un maître de conférences,
- Autres tâches habituelles pour le responsable d'équipe (bureau de direction, séminaires d'équipe, gestion de la dotation, ...).

— Membre actif de la commission des moyens informatiques de Verimag et du bâtiment PILSI-IMAG. Le rôle de la commission est de prendre les décisions concernant le renouvellement et l'achat de nouveau matériel et discuter des évolutions des systèmes. Nombreuses contributions au bon fonctionnement des systèmes informatique de Verimag (installations de logiciels, test de nouvelles solutions, aide aux administrateurs systèmes);

— Correspondant Verimag pour la forge logicielle IMAG (prises de décisions, support aux utilisateurs, rédaction de documentations, évolutions et mutualisation sur le site Grenoblois);

— Correspondant Verimag et membre du comité de pilotage pour le FabLab MSTIC;

— Participation au développement d'outils spécifiques à Verimag (base de données des séminaires, gestion des publications, styles \LaTeX pour les documents Verimag);

— Membre élu du conseil de laboratoire de Verimag de 2011 à 2016, puis nommé en 2016 et 2017.

2.5.3 Responsabilités au LIP

— Responsable de l'équipe CASH (2018-situation actuelle) :

- Définition du projet en concertation avec les membres de l'équipe, présentation devant le laboratoire et le comité des équipes projets (CEP) Inria.
- Création et gestion du site web de l'équipe
- Participation aux comités des équipes projets Inria tous les mois
- Suivi des candidats pendant les campagnes de recrutements (CR CNRS et Inria chaque année, 1 campagne MCF Lyon 1 et 1 campagne PR ENSL)
- Participation aux formations au management (3 fois 2 jours) et séminaires d'accueil Inria
- Communication sur la création de l'équipe (article sur inria.fr, sur ens-lyon.fr, vidéo « mon équipe en 180 secondes »).
- Préparation des évaluations HCERES et Inria (2020) : coordination de la rédaction des projets et rapports d'activité, préparation des exposés.

- Gestion de la crise COVID : mise en place d'une messagerie instantanée d'équipe (Skype, puis Mattermost), vérification quotidienne de la présence en ligne des membres de l'équipe pendant les confinements, évènements conviviaux en visio, etc.
- Organisation des entretiens annuels des permanents de l'équipe.
- Organisation de « journée(s) au vert » pour l'équipe en 2019, 2021, 2022 et 2023 (avec une interruption en 2020 pour des raisons évidentes)
- Coordination de l'organisation des comités de suivis de thèses de l'équipe (choix d'un membre extérieur commun pour les doctorants de l'équipe, etc.)
- Autres tâches habituelles pour le responsable d'équipe (Membre nommé du conseil de laboratoire LIP, gestion du budget, ...)
- Correspondant moyens informatiques de l'équipe CASH jusqu'en 2021.
- Co-responsable du séminaire de vulgarisation « Café gourmand et scientifique » du LIP.
- Outil de génération automatique de bibliographie pour le rapport HCERES 2019 du LIP.

3 Autre information : temps partiel en 2021-2022

Suite à la naissance de mon premier fils le 15 mars 2021, j'ai été à temps partiel à 90 % en 2021-2022.

Annexe A : Tableau des enseignements (Matthieu Moy)

Intitulé du cours	Type de cours	Responsabilité	Établissement et diplôme	Effectifs approx.	Heures EqTD
Année 2023-2024					223
Analyse 1 pour Informaticiens	TD		DI UCBL L1	35	36
LIFPROJET (Git)	Projet		DI UCBL L3	150	6,75
MIF08 : Compilation et traduction de progra	TD/TP	Responsable	DI UCBL M1	140	33,75
MIF01 : Gestion de projet et génie logiciel	CM/TP	Responsable	DI UCBL M1	140	34
Tutorat alternant	Tutorat		DI UCBL M1	1	7
Jury ParcoursSup	Resp. pédagogique		DI UCBL Licence		2
Co-responsabilité Licence	Resp. pédagogique		DI UCBL Licence	1000	40
Remplacement LIFLC	TD		DI UCBL Licence	35	1,5
LIFWEB	TP		DI UCBL L3	17	15
Congé de paternité	Congé paternité				27
Référent pédagogique	Tutorat		DI UCBL Licence	115	20
Année 2022-2023					234,25
Salon de l'étudiant	Salon		DI UCBL Licence		3
LIFPCA : prog concurrente	TD/TP/CM	Responsable (partagé avec Grégoire Pichon)	DI UCBL L3	160	28,5
LIFPROJET (Git)	Projet		DI UCBL L3	160	9
MIF08 : Compilation et traduction de progra	TD/TP	Responsable	DI UCBL M1	100	33,75
MIF01 : Gestion de projet et génie logiciel	CM/TP	Responsable	DI UCBL M1	100	33,75
Ouverture à la recherche	Projet		DI UCBL M1	4	12
Jury ParcoursSup	Resp. pédagogique		DI UCBL Licence		2
Co-responsabilité Licence	Resp. pédagogique		DI UCBL Licence	1000	60
Systemes d'exploitations	TD/TP/CM		DI UCBL L2	150	26,25
LIFAPI : Algorithmique et programmation, Init	TP		DI UCBL L1	15	21
Tutorat alternant	Tutorat		DI UCBL M1		5
Année 2021-2022					171
Salon de l'étudiant	Salon		DI UCBL Licence		1
LIFASR7 : prog concurrente	TD/TP/CM	Responsable (partagé avec Grégoire Pichon)	DI UCBL L3	80	26,25
LIFPROJET (Git)	Projet		DI UCBL L3	80	9,5
MIF08 : Compilation et traduction de progra	TD/TP	Responsable	DI UCBL M1	150	31,5
MIF01 : Gestion de projet et génie logiciel	CM/TP	Responsable	DI UCBL M1	150	30,75
Projet d'orientation en master	Projet		DI UCBL M1	2	6
Test de positionnement			DI UCBL Licence	400	2
Jury ParcoursSup	Resp. pédagogique		DI UCBL Licence		4
Co-responsabilité Licence	Resp. pédagogique		DI UCBL Licence	1000	60
Année 2020-2021					358
LIFAP2 : programmation récursive	TP (distanciel)		DI UCBL L1	30	22,5
Salon de l'étudiant			DI UCBL Licence		3
LIFASR7 : prog concurrente	TD/TP (comodal)		DI UCBL L3	30	8
LIFASR7 : prog concurrente	TD/TP/CM (distanciel)	Responsable (partagé avec Grégoire Pichon)	DI UCBL L3	100	28,5
LIFPROJET	Projet (distanciel)		DI UCBL L3	20	25
MIF08 : Compilation et traduction de progra	TD/TP (comodal)		DI UCBL M1	150	33,75
Cours de Git en LIFPROJET	CM et TP (distanciel)		DI UCBL L3	80	4,5
Gestion de projet et génie logiciel	CM/TP (comodal)	Responsable	DI UCBL M1	150	31,75
Référent pédagogique	Tutorat		DI UCBL	100	30
Projet d'orientation en master	Projet (distanciel)		DI UCBL M1	1	3
Approche par compétences	Resp. pédagogique		DI UCBL Licence		12
Projet transversale de master informatique	Projet (distanciel)		DI UCBL M1	150	10

Hardware Compilation and Simulation	CM/TP (distanciel)		ENS Lyon M2	8	36
Co-responsabilité Licence	Resp. pédagogique		DI UCBL Licence	1000	96
Jury Parcoursup	Resp. pédagogique	Président	DI UCBL Licence		4
Test de positionnement	Resp. pédagogique		DI UCBL Licence	400	10
Année 2019-2020					276,33
LIFAP2 : programmation récursive	TD/TP (fin en distanciel)		DI UCBL L1	30	28,5
LIFASR7 : prog concurrente	TD/TP		DI UCBL L3	70	29
LIFASR7 : prog concurrente	TD/TP/CM (fin en distanciel)	Responsable	DI UCBL L3	70	33
LIFPROJET	Projet (fin en distanciel)		DI UCBL L3	20	60,33
Remplacement LIFAP3	TP		DI UCBL L2	15	3
MIF08 : Compilation et traduction de programme	TD/TP		DI UCBL M1	150	22,5
Compilation et analyse de programme	TP		ENS Lyon M1	30	18
Gestion de projet et génie logiciel	CM/TP	Responsable	DI UCBL M1	150	27,5
Référent pédagogique	Tutorat		DI UCBL	100	30
Tutorat contrat pro M1	Tutorat alternance		DI UCBL M1	1	10
Projet d'orientation en master	Projet (fin en distanciel)		DI UCBL M1	2	4
Remplacement théorie des langages formels	TD		DI UCBL L3	30	1,5
Projet transversale de master informatique	Projet		DI UCBL M1	100	9
Année 2018-2019					280,25
LIFAP2 : programmation récursive	TD/TP		DI UCBL L1	30	28,5
Soutien Unix	Soutien (TP)		DI UCBL L1	70	3
LIFASR7 : prog concurrente	TD/TP		DI UCBL L3	70	24
LIFASR7 : prog concurrente	TD/TP/CM	Responsable	DI UCBL L3	20	33
Séances Git en LIFPROJET	CM/TP		DI UCBL L3	30	5,25
LIFPROJET	Projet		DI UCBL L3	10	58,25
LIFASR5 : système	TP/TP		DI UCBL L2	30	1,5
MIF08 : Compilation et traduction de programme	TD/TP		DI UCBL M1	140	22,5
Compilation et analyse de programme	TP		ENS Lyon M1	30	18
Gestion de projet et génie logiciel	CM/TP	Responsable	DI UCBL M1	140	25,25
Hardware Compilation and Simulation	CTD/TP	Co-responsable	ENS Lyon M2	10	18
Référent pédagogique	Tutorat		DI UCBL	100	30
Tutorat contrat pro M1 (Mihajlo Girard)	Tutorat alternance		DI UCBL M1		10
Stage L3	Tutorat Stage		DI UCBL L3	3	3
Année 2017-2018					216,75
LIFAP2	TD/TP		DI UCBL L1		48
Soutien Unix	Soutien (TP)		DI UCBL L1		7,5
LIFASR7 : prog concurrente	TD/TP		DI UCBL L3		24
LIFASR7 : prog concurrente	TD/TP/CM	Responsable	DI UCBL L3		33
LIFPROJET	Projet		DI UCBL L3		40
Séances Git en LIFPROJET	CM/TP		DI UCBL L3		6,75
Compilation et traduction de programmes (MIF08)	TD/TP		DI UCBL M1		22,5
Programmation avancée	TP		DI UCBL M1		15
Responsabilité LIFASR7			DI UCBL L3		5
Stage L3	Tutorat Stage		DI UCBL L3		5
Tutorat contrat pro (M2SRIV)	Tutorat alternance		DI UCBL M2		10
Année 2016-2017					263,32
Amphi sur Git en projet GL	Amphi	Seul intervenant	Ensimag 2A (M1)		2,25
Unix : introduction et programmation shell	Projet	Responsable	Ensimag 1A (L3)		19,5
Introduction à Unix pour Phelma/AST	TP	Seul intervenant	Ensimag 1A (L3)		1,5
Introduction à Unix	TP	Seul intervenant	Ensimag (apprentissage)		4,5
Modélisation en SystemC/TLM	Cours	Responsable	Ensimag 3A (M2)		30
Projet Spécialité « Contribution à un logiciel libre »	Projet	Seul intervenant	Ensimag 2A (M1)		6
Responsabilité projet de spécialité	Projet	Responsable	Ensimag 2A (M1)		12
REX : Retour d'expérience	Table ronde		Ensimag 3A (M2)		4

Informatique CPP 1A	CM et TD	Responsable	Prepa INP (L1)	26,25
Informatique CPP 2A semestre 1	TD	Responsable	Prepa INP (L2)	10,5
Informatique CPP 2A semestre 2	Projet		Prepa INP (L2)	7,5
Journée Agile	Animations	Responsable	Ensimag 3A (M2)	5,5
Conf techno SLE	Conférences		Ensimag (M2)	13,5
Responsabilité filière SLE	Responsabilité Filière		Ensimag (M1 et M2)	24
Soutenances stage 2A	Soutenance		Ensimag 3A (M2)	3,32
Formation continue Python pour l'ILL	Formation continue	Responsable	FC INP	31,5
Intervention « Agilité » dans le cours de Génie	Animations		Ensimag 2A (M1)	2,25
Responsabilité filière Formation Continue	Formation continue	Responsable	FC INP	12
Coordination formation continue Python CEA	Formation continue	Coordinateur	FC INP	4
Présentation Git Magistère	Amphi		UFRIMAG	2,25
Tutorat PFE DAMI BADR	PFE		Ensimag 3A (M2)	2
Tutorat PFE TILSAGHANI MOHAMED	PFE		Ensimag 3A (M2)	2
Tutorat PFE LUPERINI PAUL	PFE		Ensimag 3A (M2)	2
Tutorat PFE François Beutin	PFE		Ensimag 3A (M2)	2
Tutorat PFE CHAUMÈS PHILIPPE	PFE		Ensimag 3A (M2)	2
Tutorat PFE BORIC JEAN-BAPTISTE	PFE		Ensimag 3A (M2)	2
Tutorat PFE THALAMY PIERRE	PFE		Ensimag 3A (M2)	2
Tutorat PFE Antoine Queru	PFE		Ensimag 3A (M2)	2
Président de Jury PFE Septembre	PFE		Ensimag 3A (M2)	25
Année 2015-2016				286,82
Projet Génie Logiciel	Projet		Ensimag 2A (M1)	7
Amphi sur Git en projet GL	Amphi	Seul intervenant	Ensimag 2A (M1)	2,25
Unix : introduction et programmation shell	Projet	Responsable	Ensimag 1A (L3)	21
Introduction à Unix pour étudiants Big Data	TP	Seul intervenant	Ensimag 1A (L3)	1,5
Introduction à Unix pour étudiants RI	TP	Responsable	Ensimag 1A (L3)	2
Introduction à Unix pour Phelma/AST	TP	Seul intervenant	Ensimag 1A (L3)	0
Introduction à Unix	TP	Seul intervenant	Ensimag (apprentissage)	4,5
Modélisation en SystemC/TLM	Cours	Responsable	Ensimag 3A (M2)	31,5
Projet Spécialité « Contribution à un logiciel li	Projet	Seul intervenant	Ensimag 2A (M1)	29
Projet Spécialité : responsabilité thématique	Projet		Ensimag 2A (M1)	6
Introduction à Git en projet C	TP		Ensimag 1A (L3)	3,75
REX : Retour d'expérience	Table ronde		Ensimag 3A (M2)	0
Informatique CPP 1A	CM et TD	Responsable	Prepa INP 1A (L1)	26,25
Informatique CPP 2A semestre 1	TD	Responsable	Prepa INP 2A (L2)	10,5
Informatique CPP 2A semestre 2	Projet		Prepa INP 2A (L2)	0
Stage Liesse Toussaint	Liesse	Responsable	Ensimag	16,25
Formation continue Git	Formation continue	Seul intervenant	FC INP	6
Journée Agile	Animations	Responsable	Ensimag 3A (M2)	5,5
Conf techno SLE	Conférences		Ensimag 3A (M2)	13,5
Responsabilité filière SLE	Responsabilité Filière		Ensimag 2A et 3A (M1 M2)	24
Soutenances stage 2A	Soutenance		Ensimag 3A (M2)	3,32
Formation continue Python pour l'ILL	Formation continue	Responsable	FC INP	35,5
Formation Git	Formation personnel I	Seul intervenant	INP	7
Responsabilité filière Formation Continue	Formation continue	Responsable	FC INP	12
Intervention « Agilité » dans le cours de Génie	Animations		Ensimag 2A (M1)	2,25
Tutorat PFE BAROUX ETIENNE	PFE		Ensimag 3A (M2)	3
Tutorat PFE BOLUSSET CHRISTOPHE	PFE		Ensimag 3A (M2)	3
Tutorat PFE SCHUH MATHEUS	PFE		Ensimag 3A (M2)	3
Tutorat PFE MULLER MEIRELES	PFE		Ensimag 3A (M2)	3
Tutorat PFE DIENSTMANN MUSSE FELIPE	PFE		Ensimag 3A (M2)	3

Président de Jury PFE	PFE		Ensimag 3A (M2)		1,25
Année 2014-2015					296
Projet Génie Logiciel	Projet	Co-responsable	Ensimag		55
Amphi sur Git en projet GL	Amphi	Seul intervenant	Ensimag		2,25
Unix : introduction et programmation shell	Projet	Responsable	Ensimag		19,5
Introduction à Unix pour étudiants Big Data	TP	Seul intervenant	Ensimag		1,5
Introduction à Unix pour étudiants RI	TP	Responsable	Ensimag		2
Introduction à Unix pour Phelma/AST	TP	Seul intervenant	Ensimag		1,5
Introduction à Unix	TP	Seul intervenant	Ensimag (apprentissage)		4,5
Modélisation en SystemC/TLM	Cours	Responsable	Ensimag		31,5
Projet Spécialité « Contribution à un logiciel li	Projet	Seul intervenant	Ensimag		29
Projet Spécialité : responsabilité thématique	Projet		Ensimag		6
Introduction à Git en projet C	TP		Ensimag		3,75
REX : Retour d'expérience	Table ronde		Ensimag		4
Informatique CPP 1A	CM et TD	Responsable	Prepa INP		22
Informatique CPP 2A semestre 1	TD	Responsable	Prepa INP		10
Informatique CPP 2A semestre 2	Projet		Prepa INP		8
Informatique CPP 1A soutien HN	Soutien		Prepa INP		2
Stage Liesse Toussaint	Liesse	Responsable	Ensimag		16,25
Jury selection apprentissage	Jury		Ensimag		3
Formation continue Git	Formation continue	Seul intervenant	Floralis		9
Formation continue Python	Formation continue	Seul intervenant	Prepa INP		10,5
Journée Agile	Animations	Responsable	Ensimag		5,5
Formation SystemC/TLM	Formation continue	Seul intervenant	FC INP		28
Présentation Git Magistère	Amphi		UFRIMAG		2,25
Responsable IRL Yassine El-Khadiri	IRL		Ensimag		3
Tutorat PFE SEJJIL OLFA	PFE		Ensimag		2
Tutorat PFE GATOUILLET THIBAUT	PFE		Ensimag		3
Tutorat PFE LEVILLAIN RÉMI	PFE		Ensimag		3
Tutorat PFE LESPINASSE ADRIEN	PFE		Ensimag		3
Tutorat PFE SAN MARTIN MOROTE EDUAR	PFE		Ensimag		3
Tutorat PFE BEN HADJ M'BAREK Nejmeddir	PFE		Ensimag		2
Année 2013-2014					250
Projet Génie Logiciel	Projet	Co-responsable	Ensimag		55
Unix : introduction et programmation shell	Projet	Responsable	Ensimag		22,88
Introduction à Unix pour étudiants RI	TP	Responsable	Ensimag		2
Introduction à Unix pour Phelma/AST	TP	Seul intervenant	Ensimag		1,5
Introduction à Unix	TP	Seul intervenant	Ensimag (apprentissage)		4,5
Modélisation en SystemC/TLM	Cours	Responsable	Ensimag		31,5
Projet Spécialité	Projet		Ensimag		63,5
REX : Retour d'expérience	Table ronde		Ensimag		3
Stage Liesse Python (Toussaint)	Liesse	Responsable	Ensimag		11
Stage Liesse Python (Juin)	Liesse	Responsable	Ensimag		12,13
Jury selection apprentissage	Jury		Ensimag		3
Responsable IRL Amaury Graillat	IRL		Ensimag		3
Responsable TER Gaetan Sancassani	TER		UJF		
Tutorat PFE Mours Victor	PFE		Ensimag		3
Tutorat PFE Gsim Myriam	PFE		Ensimag		3
Tutorat PFE Simon Cathébras	PFE		Ensimag		3
Tutorat PFE GRUZELLE ANTOINE	PFE		Ensimag		3

Tutorat PFE NOLEN JEAN-YVES	PFE		Ensimag		3
Tutorat PFE BERTRAND ALEXIS	PFE		Ensimag		3
Tutorat PFE ZOPPITELLI PIERRE	PFE		Ensimag		3
Tutorat PFE VILLER JEAN-BAPTISTE	PFE		Ensimag		3
Tutorat PFE NAZ ANDRE	PFE		Ensimag		3
Tutorat apprentissage REYNAL DE SAINT M	Tutorat Apprentissage		Ensimag		10
Année 2012-2013					304,38
Projet Génie Logiciel	Projet	Co-responsable	Ensimag		55
Unix : introduction et programmation shell	Projet	Responsable	Ensimag		21,38
Introduction à Unix pour étudiants RI	TP	Responsable	Ensimag		2
Introduction à Unix	TP	Seul intervenant	(apprentissage)		4,5
Modélisation en SystemC/TLM	Cours	Responsable	Ensimag		31,5
Logiciel de base apprentissage	Cours-TD	Seul intervenant	Ensimag		39
Projet Spécialité « Git mediawiki »	Projet	Seul intervenant	Ensimag		11
Projet Spécialité « Contribution à Firefox »	Projet	Seul intervenant	Ensimag		17
Projet Spécialité « Contribution à Eigen »	Projet		Ensimag		7
Projet Spécialité « Contribution à Git»	Projet	Seul intervenant	Ensimag		11
Projet Spécialité « Screencast open-source »	Projet		Ensimag		5
Projet Spécialité : coordination thématique GL	Projet	Coordinateur	Ensimag		6
Introduction à Git en projet C	TP		Ensimag		3,75
REX : Retour d'expérience	Table ronde		Ensimag		3
Portage du projet GL en Java	Projet		Ensimag		24
Jury selection apprentissage	Jury		Ensimag		3
Stage Liesse Python	Liesse		Ensimag		11,25
Responsable IRL Xavier Poczekajlo	TER		Ensimag		3
Responsable IRL Eduardo-Alberto Leon-Rodr	TER		Ensimag		3
Tutorat PFE Simon Cathébras	PFE		Ensimag		3
Tutorat PFE BELKAHIA TAREK	PFE		Ensimag		3
Tutorat PFE BRIDONNEAU ALBAN	PFE		Ensimag		3
Tutorat PFE JONAS FRANCK	PFE		Ensimag		3
Tutorat PFE KALSING ARTHUR	PFE		Ensimag		3
Tutorat PFE KONG LUCIEN	PFE		Ensimag		3
Tutorat PFE BRACALONI STEPHANIE	Tutorat Apprentissage (PFE)		Ensimag		5
Tutorat apprentissage REYNAL DE SAINT M	Tutorat Apprentissage		Ensimag		10
Tutorat apprentissage CLEMENT Michael	Tutorat Apprentissage		Ensimag		10
Année 2011-2012					277,88
Projet Génie Logiciel	Projet	Co-responsable	Ensimag		55
Projet Compilation (année spéciale)	Projet	Seul intervenant	Ensimag		30
Unix avancé	Projet	Responsable	Ensimag		7,88
Stage Unix de rentrée	TP	Responsable	Ensimag		10,5
Introduction à Unix	TP	Seul intervenant	(apprentissage)		4,5
Modélisation en SystemC/TLM	Cours	Responsable	Ensimag		31,5
Logiciel de base et langage C (apprentissage)	Cours-TD	Seul intervenant	Ensimag		39
Projet Spécialité (3 sujets autour de Git)	Projet	Seul intervenant	Ensimag		51
Coordination thématique « GLL » en projet de	Projet	Responsable	Ensimag		5,75
Introduction à Git en projet C	TP		Ensimag		3,75
Jury selection apprentissage	Jury		Ensimag		3
Tutorat PFE Nicolas Guerin	PFE		Ensimag		3
Tutorat PFE Clément Léger	PFE		Ensimag		3
Tutorat apprentissage REYNAL DE SAINT M	Tutorat Apprentissage		Ensimag		10
Tutorat apprentissage CLEMENT Michael	Tutorat Apprentissage		Ensimag		10

Tutorat apprentissage Rémi Quinquenelle	Tutorat Apprentissage		Ensimag		10
Année 2010-2011					288,38
Projet Génie Logiciel (en anglais)	Projet	Co-responsable	Ensimag		55
Projet Génie Logiciel (année spéciale)	Projet	Seul intervenant	Ensimag (ASI)		30
Unix avancé	Projet	Responsable	Ensimag		4,5
Stage Unix de rentrée	TP	Responsable	Ensimag		13,5
Initiation Unix pour les étudiants RI	TP	Seul intervenant	Ensimag		2
Introduction à Unix	TP	Seul intervenant	Ensimag (apprentissage)		4,5
Modélisation en SystemC/TLM	Cours	Responsable	Ensimag		31,5
Logiciel de base apprentissage	Cours-TD	Seul intervenant	Ensimag (apprentissage)		42,38
Projet Spécialité « Passerelle bidirectionnelle	Projet	Responsable	Ensimag		15
Projet Spécialité « Contribution à un logiciel li	Projet	Seul intervenant	Ensimag		17
Projet Personnel et Professionnel (P3)	TD		Ensimag		15
REX : Retour d'expérience	Table ronde		Ensimag		3
Introduction à Git en projet C	TP	Responsable	Ensimag		1,5
Responsable TER Mohamed ZAIM WADGHII	TER		Ensimag		1,5
Responsable TER Marc Pegon	TER		Ensimag		1,5
Responsable TER Guillaume Sarrazin	TER		Ensimag		1,5
Responsable TER/Magistère Si-Mohamed La	TER		UFRIMAG		5
Tutorat PFE EYNARD Charles	PFE		Ensimag		3
Tutorat PFE Alvares De Castro E Sousa Fern	PFE		Ensimag		3
Tutorat PFE Ouled Ahmed Mohamed Sabeur	PFE		Ensimag		3
Tutorat PFE POULAIN Clément	PFE		Ensimag		3
Tutorat PFE BONNET Axel	PFE		Ensimag		3
Tutorat PFE Adrien Oliva	PFE		Ensimag		3
Tutorat apprentissage CLEMENT Michael	Tutorat Apprentissage		Ensimag		10
Tutorat apprentissage Rémi Quinquenelle	Tutorat Apprentissage		Ensimag		10
Jury selection apprentissage	Jury		Ensimag		6
Année 2009-2010					263,58
Projet Génie Logiciel (en anglais)	Projet	Co-responsable	Ensimag		68,75
Projet Génie Logiciel (année spéciale)	Projet	Seul intervenant	Ensimag (ASI)		30
Unix avancé	Projet	Responsable	Ensimag		6,38
Stage Unix de rentrée	TP	Responsable	Ensimag		10,5
Logiciel de base	Cours-TD	Responsable	Ensimag		22,5
Modélisation en SystemC/TLM	Cours	Responsable	Ensimag		31,5
REX : Retour d'expérience	Table ronde		Ensimag		4
Logiciel de base apprentissage	Cours-TD	Seul intervenant	Ensimag (apprentissage)		42,38
Soutenances stage 2A (5*30min)	Soutenance		Ensimag		2,08
Projet Spécialité « Contribution à Git »	Projet		Ensimag		14
Initiation Unix pour les étudiants RI	TP	Seul intervenant	Ensimag		2
responsable TER Mohamed Taoufiq El Aissa	TER		Ensimag		3
responsable TER Pierre-Yves Delahaye	TER		Ensimag		3
responsable TER Julien Henry	TER		Ensimag		1,5
Tutorat PFE BEN SALMA Sana	PFE		Ensimag		3
Tutorat PFE JANSOONE Thomas	PFE		Ensimag		3
Tutorat PFE MUGUET Thomas	PFE		Ensimag		3
Tutorat PFE ZORGATI Mohamed Bechir	PFE		Ensimag		3
Tutorat apprentissage Rémi Quinquenelle	Tutorat Apprentissage		Ensimag		10
Année 2008-2009					267,33
Projet Archi (2 groupes)	Projet		Ensimag		48
Projet Génie Logiciel (en anglais)	Projet	Co-responsable	Ensimag		68,75

Projet C	Projet	Co-responsable	Ensimag		32
Stage Unix de rentrée	TP	Responsable	Ensimag		10,5
Logiciel de base	Cours-TD	Responsable	Ensimag		22,5
Modélisation en SystemC/TLM	Cours	Seul intervenant	Ensimag		22,5
Rattrapage Compil	Cours/TD/TP	Responsable	Ensimag		18,75
Remplacement SEPC Christophe Brailon (an	TD		Ensimag		3,75
Systèmes d'exploitation et Programmation C	TD/TP		Ensimag		21
Soutenances stage 2A	Soutenance		Ensimag		2,08
responsable TER R. Salles	TER		Ensimag		1,5
Tutorat PFE COMIN Niccolo	PFE		Ensimag		3
Tutorat PFE Eneas Dierles	PFE		Ensimag		4
Tutorat PFE JEAN Mathieu	PFE		Ensimag		3
Tutorat PFE GONNIN Xavier	PFE		Ensimag		3
Tutorat PFE TROUSSET Joël	PFE		Ensimag		3
Année 2007-2008					280,85
Stage Unix de rentrée	TP		ENSIMAG		7,5
Modélisation en SystemC/TLM	Cours	Seul intervenant	Télécom		22,5
Projet Génie Logiciel (en anglais)	Projet	Co-responsable	ENSIMAG/Télécom		68,75
Projet C	Projet+cours-TD	Responsable	ENSIMAG/Télécom		33,1
Logiciel de base	Cours-TD	Responsable	Télécom		30
Logiciel de base	Cours-TD		ENSIMAG		22,5
Architecture des Ordinateurs (en anglais)	TD		ENSIMAG		22,5
Architecture des Ordinateurs	Projet	Responsable	Télécom		32
Architecture des Ordinateurs	TP		ENSIMAG		15
Conception de circuits numériques	TP	Responsable	Télécom		16
Responsable TER L. Créatin	TER		ENSIMAG		3
Tutorat PFE Alban De-Wit	PFE		Télécom		8
Année 2006-2007					219,97
Architecture des Ordinateurs	TP		ENSIMAG		7,47
Architecture des Ordinateurs	Projet		ENSIMAG		30
Architecture des Ordinateurs	TD		ENSIMAG		18
Architecture des Ordinateurs	Projet		Télécom		32
Logiciel de base	Cours-TD		Télécom		33
Projet Génie Logiciel	Projet		ENSIMAG/Télécom		55
Projet C	Projet+cours-TD		ENSIMAG/Télécom		36,5
Heures TICE (projet GL)	support pédagogique		ENSIMAG/Télécom		8
Année 2005-2006					80,75
Algorithmique et programmation	Cours-TD		LIFI (INPG)		55
Validation des applications communicantes	Intervention dans un cours		Télécom		2,25
Vérification Formelle	Intervention dans un cours		CSA, IISc, Bangalore		1,5
Systèmes embarqués	Cours		CSA, IISc, Bangalore		22
Année 2004-2005					16,5
Introduction à UNIX	TP (et un cours de 3h)		Télécom		16,5
Année 2003-2004					55
Projet Génie Logiciel	Projet		ENSIMAG/Télécom		55
Année 2002-2003					190
Formation TLM	Formation interne		STMicroelectronics		190

B Liste de publications

Mon nom est en gras, les étudiants que j'ai encadrés sont soulignés.

Thèse et Habilitation à diriger des recherches

- [T1] **Matthieu MOY**. “Techniques and Tools for the Verification of Systems-on-a-Chip at the Transaction Level”. Thèse de doct. INPG, Grenoble, France, déc. 2005.
- [T2] **Matthieu MOY**. “High-level Models for Embedded Systems”. Habilitation à Diriger des Recherches (HDR). Verimag : Univ. Grenoble Alpes, F-38000 Grenoble, France, mars 2014.

Revue internationale

- [J1] **Matthieu MOY**, Florence MARANINCHI et Laurent MAILLET-CONTOZ. “LusSy : an open Tool for the Analysis of Systems-on-a-Chip at the Transaction Level”. In : *Design Automation for Embedded Systems* (2006). special issue on SystemC-based systems.
- [J2] **Matthieu MOY**, Claude HELMSTETTER, Tayeb BOUHADIBA et Florence MARANINCHI. “Modeling Power Consumption and Temperature in TLM Models”. In : *Leibniz Transactions on Embedded Systems (LITES)* Vol 3.No 1 (juin 2016), 03 :1-03 :29.
- [J3] Karine ALTISEN et **Matthieu MOY**. “Causality Problem in Real-Time Calculus”. In : *Formal Methods in System Design (FMSD, Springer)* 48.1 (2016). **Rank A** CORE ERA2010, p. 1-45. ISSN : 1572-8102.
- [J4] Denis BECKER, **Matthieu MOY** et Jérôme CORNET. “Parallel Simulation of Loosely Timed SystemC/TLM Programs : Challenges Raised by an Industrial Case Study”. In : *Multidisciplinary Digital Publishing Institute (MDPI) Electronics* 5.2 (2016). Sous la dir. de Frédéric ROUSSEAU, Gabriela NICOLESCU, Amer BAGHDADI et Mostafa BASSIOUNI, p. 22. ISSN : 2079-9292.
- [J5] Gabriel BUSNOT, Tanguy SASSOLAS, Nicolas VENTROUX et **Matthieu MOY**. “Standard-compliant parallel SystemC simulation of loosely-timed transaction level models : From baremetal to Linux-based applications support”. In : *Integration, the VLSI Journal* 79 (juill. 2021), p. 23-40.
- [J6] Nicolas CHAPPE, Ludovic HENRIO, Amaury MAILLÉ, **Matthieu MOY** et Hadrien RENAUD. “An Optimised Flow for Futures : From Theory to Practice”. In : *The Art, Science, and Engineering of Programming* 6.1 (juill. 2021), p. 1-41.

Conférences internationales

- [C1] **Matthieu MOY**, Florence MARANINCHI et Laurent MAILLET-CONTOZ. “LusSy : A Toolbox for the Analysis of Systems-on-a-Chip at the Transactional Level”. In : *International Conference on Application of Concurrency to System Design*. Acceptance rate : 23/45 = 51%. Juin 2005, p. 26-35.
- [C2] **Matthieu MOY**, Florence MARANINCHI et Laurent MAILLET-CONTOZ. “Pinapa : An Extraction Tool for SystemC descriptions of Systems-on-a-Chip”. In : *EMSOFT*. 25/88 = 28% accepted as regular papers, **Rank A** CORE 2014. Sept. 2005, p. 317-324.

- [C3] Claude HELMSTETTER, Florence MARANINCHI, Laurent MAILLET-CONTOZ et **Matthieu MOY**. “Automatic Generation of Schedulings for Improving the Test Coverage of Systems-on-a-Chip”. In : *FMCAD* (2006). Acceptance rate : 21/90 = **23%**, p. 171-178.
- [C4] Florence MARANINCHI, **Matthieu MOY**, Jérôme CORNET, Laurent MAILLET-CONTOZ, Claude HELMSTETTER et Claus TRAULSEN. “SystemC/TLM Semantics for Heterogeneous System-on-Chip Validation”. Anglais. In : *2008 Joint IEEE-NEWCAS and TAISA Conference 2008 Joint IEEE-NEWCAS and TAISA Conference*. Sous la dir. d’IEEE. B.6.3, D.2.4, D.3.1, F.4.3, F.3.1, B.8.1. Montréal Canada, juin 2008.
- [C5] Karine ALTISEN et **Matthieu MOY**. “ac2lus : Bringing SMT-solving and Abstract Interpretation Techniques to Real-Time Calculus through the Synchronous Language Lustre”. In : *22nd Euromicro Conference on Real-Time Systems (ECRTS)*. Acceptance rate : 27/112 = **24%**, **Rank A CORE** 2014. Brussels, Belgium, juill. 2010.
- [C6] Karine ALTISEN et **Matthieu MOY**. “Arrival Curves for Real-Time Calculus : the Causality Problem and its Solutions”. In : *TACAS*. Sous la dir. de J. ESPARZA et R. MAJUMDAR. Acceptance rate : 24/110 = **21%**, **Rank A CORE** 2014. Mars 2010, p. 358-372.
- [C7] Kevin MARQUET et **Matthieu MOY**. “PinaVM : a SystemC Front-End Based on an Executable Intermediate Representation”. Anglais. In : *International Conference on Embedded Software*. Acceptance rate : 29/89 = 32%, **Rank A CORE** 2014. S, oct. 2010, p. 79.
- [C8] **Matthieu MOY**. “Efficient and Playful Tools to Teach Unix to New Students”. Anglais. In : *16th Annual Conference on Innovation and Technology in Computer Science Education ITiCSE*. Acceptance rate : 66/169 = 39%, **Rank A CORE** 2014. Darmstadt Allemagne, juin 2011.
- [C9] Giovanni FUNCHAL et **Matthieu MOY**. “jTLM : an Experimentation Framework for the Simulation of Transaction-Level Models of Systems-on-Chip”. In : *Design, Automation and Test in Europe (DATE)*. acceptance rate : 314/950 = 33%, **Rank A+ GDR SOC2**. 2011.
- [C10] Giovanni FUNCHAL et **Matthieu MOY**. “Modeling of Time in Discrete-Event Simulation of Systems-on-Chip”. Anglais. In : *ACM/IEEE Ninth International Conference on Formal Methods and Models for Codesign MEMOCODE*. Acceptance rate : 16/43 = 37%. Cambridge Royaume-Uni, juill. 2011.
- [C11] Jérôme CORNET, Laurent MAILLET-CONTOZ, Ilija MATERIC, Sylvian KAISER, Hela BOUSSETTA, Tayeb BOUHADIBA, **Matthieu MOY** et Florence MARANINCHI. “Co-Simulation of a SystemC TLM Virtual Platform with a Power Simulator at the Architectural Level : Case of a Set-Top Box”. Anglais. In : *Design Automation Conference*. San Francisco, US, juin 2012, SESSION 10U : USER TRACK.
- [C12] Julien HENRY, David MONNIAUX et **Matthieu MOY**. “Succinct Representations for Abstract Interpretation”. In : *Static analysis Symposium (SAS)*. Acceptance rate : 40%, **Rank A CORE** 2014. 2012.
- [C13] **Matthieu MOY**. “Parallel Programming with SystemC for Loosely Timed Models : A Non-Intrusive Approach”. Anglais. In : *The Design, Automation, and Test in Europe (DATE)*. **16.4%** accepted as long-paper, **Rank A+ GDR SOC2**. Grenoble, France, mars 2013.
- [C14] Tayeb BOUHADIBA, **Matthieu MOY** et Florence MARANINCHI. “System-Level Modeling of Energy in TLM for Early Validation of Power and Thermal Management”. In : *Design Automation and Test Europe (DATE)*. **16.4%** accepted as long-paper, **Rank A+ GDR SOC2**. Grenoble, France, mars 2013.

- [C15] Tayeb BOUHADIBA, **Matthieu MOY**, Florence MARANINCHI, Jérôme CORNET, Laurent MAILLET-CONTOZ et Ilija MATERIC. “Co-Simulation of Functional SystemC TLM Models with Power/Thermal Solvers”. Anglais. In : *Virtual Prototyping of Parallel and Embedded Systems (VIPES)*. Boston, US, mai 2013.
- [C16] Claude HELMSTETTER, Jérôme CORNET, Bruno GALILÉE, **Matthieu MOY** et Pascal VIVET. “Fast and Accurate TLM Simulations using Temporal Decoupling for FIFO-based Communications”. Anglais. In : *Design, Automation and Test in Europe (DATE)*. acceptance rate : $302/829 = 36.4\%$ all categories, **Rank A+** GDR SOC2. Grenoble, France, mars 2013, p. 1185.
- [C17] Denis BECKER, **Matthieu MOY** et Jérôme CORNET. “Challenges for the Parallelization of Loosely Timed SystemC Programs”. In : *IEEE International Symposium on Rapid System Prototyping (RSP)*. 2015.
- [C18] Hamza RIHANI, **Matthieu MOY**, Claire MAIZA et Sebastian ALTMAYER. “WCET analysis in shared resources real-time systems with TDMA buses”. In : *RTNS 2015. 23rd International Conference on Real-Time Networks and Systems*. Acceptance rate : $31 / 66 = 47 \%$. Lille, France, nov. 2015.
- [C19] Hamza RIHANI, **Matthieu MOY**, Claire MAIZA, Robert I. DAVIS et Sebastian ALTMAYER. “Response Time Analysis of Synchronous Data Flow Programs on a Many-Core Processor”. In : *RTNS 2016. 24th International Conference on Real-Time Networks and Systems*. Acceptance rate : $34 / 75 = 45 \%$. Brest, France, oct. 2016.
- [C20] Amaury GRAILLAT, **Matthieu MOY**, Pascal RAYMOND et Benoît Dupont de DINECHIN. “Parallel Code Generation of Synchronous Programs for a Many-core Architecture”. In : *DATE 2018. Design, Automation and Test in Europe*. Acceptance rate : $270 / 766 = 35 \%$ all categories, **Rank A+** GDR SOC2. Dresden, Germany, 2018.
- [C21] Tristan DELIZY, Stéphane GROS, Kevin MARQUET, **Matthieu MOY**, Tanguy RISSET et Guillaume SALAGNAC. “Estimating the Impact of Architectural and Software Design Choices on Dynamic Allocation of Heterogeneous Memories”. In : *RSP 2018 - 29th International Symposium on Rapid System Prototyping*. Turin, Italy, oct. 2018, p. 1-7.
- [C22] Amaury GRAILLAT, Claire MAIZA, **Matthieu MOY**, Pascal RAYMOND et Benoît DUPONT DE DINECHIN. “Response Time Analysis of Dataflow Applications on a Many-Core Processor with Shared-Memory and Network-on-Chip”. In : *RTNS 2019 - 27th International Conference on Real-Time Networks and Systems*. Toulouse, France : ACM, nov. 2019, p. 61-69.
- [C23] Gabriel BUSNOT, Tanguy SASSOLAS, Nicolas VENTROUX et **Matthieu MOY**. “Standard-compliant Parallel SystemC simulation of Loosely-Timed Transaction Level Models”. In : *ASP-DAC 2020 - 25th Asia and South Pacific Design Automation Conference*. 30.8% acceptance rate. Beijing, China, jan. 2020, p. 1-6.
- [C24] Maximilien DUPONT DE DINECHIN, Matheus SCHUH, **Matthieu MOY** et Claire MAÏZA. “Scaling Up the Memory Interference Analysis for Hard Real-Time Many-Core Systems”. In : *DATE 2020 - Design, Automation and Test in Europe Conference*. **Rank A+** GDR SOC2, 36.8% acceptance rate. Grenoble, France, mars 2020, p. 1-4.
- [C25] Amaury MAILLÉ, Ludovic HENRIO et **Matthieu MOY**. “Promise Plus : Flexible Synchronization for Parallel Computations on Arrays”. In : *FSEN 2021 - 9th IPM International Conference on Fundamentals of Software Engineering*. acceptance rate : 31.6%. Tehran, Iran, mai 2021, p. 1-7.

- [C26] Julien EMMANUEL, **Matthieu MOY**, Ludovic HENRIO et Gregoire PICHON. “S4BXI : the MPI-ready Portals 4 Simulator”. In : *MASCOTS 2021 - 29th IEEE International Symposium on the Modeling, Analysis, and Simulation of Computer and Telecommunication Systems*. 32.9% acceptance rate. Houston, United States : IEEE, nov. 2021, p. 1-8.
- [C27] Bruno FERRES, Oussama OULKAID, Ludovic HENRIO, Mehdi KHOSRAVIAN, **Matthieu MOY**, Gabriel RADANNE et Pascal RAYMOND. “Electrical Rule Checking of Integrated Circuits using Satisfiability Modulo Theory”. In : *Design, Automation and Test in Europe Conference (DATE)*. Anvers (Antwerpen), Belgium, avr. 2023.
- [C28] Bruno FERRES, Oussama OULKAID, Ludovic HENRIO, Mehdi KHOSRAVIAN, **Matthieu MOY**, Gabriel RADANNE et Pascal RAYMOND. “A transistor level relational semantics for electrical rule checking by SMT solving”. In : *Design, Automation and Test in Europe Conference (DATE)*. 2024.

Workshops (avec comité de relecture et actes)

- [W1] Claus TRAUlsen, Jérôme CORNET, **Matthieu MOY** et Florence MARANINCHI. “A SystemC/TLM semantics in Promela and its possible applications”. In : *14th Workshop on Model Checking Software SPIN*. Juill. 2007.
- [W2] Loïc BESNARD, Thierry GAUTIER, **Matthieu MOY**, Jean-Pierre TALPIN, Kenneth JOHNSON et Florence MARANINCHI. “Automatic translation of C/C++ parallel code into synchronous formalism using an SSA intermediate form”. In : *Ninth International Workshop on Automated Verification of Critical Systems (AVOCS’09)*. Electronic Communications of the EASST, sept. 2009.
- [W3] Karine ALTISEN, Yanhong LIU et **Matthieu MOY**. “Performance Evaluation of Components Using a Granularity-based Interface Between Real-Time Calculus and Timed Automata”. In : *Eighth Workshop on Quantitative Aspects of Programming Languages (QAPL)*. Paphos, Cyprus : Electronic Proceedings in Theoretical Computer Science, mars 2010.
- [W4] Kevin MARQUET, **Matthieu MOY** et Bageshri KARKARE. “A Theoretical and Experimental Review of SystemC Front-ends”. Anglais. In : *Forum for Design Languages (FDL)*. B.1.4, C.3 OpenTLM (Projet Minalogic). 2010.
- [W5] Karine ALTISEN et **Matthieu MOY**. “Causality closure for a new class of curves in real-time calculus”. Anglais. In : *Proceedings of the 1st International Workshop on Worst-Case Traversal Time*. Vienna, Autriche : ACM, 2011, p. 3-10.
- [W6] Giovanni FUNCHAL, **Matthieu MOY**, Laurent MAILLET-CONTOZ et Florence MARANINCHI. “Faithfulness Considerations for Virtual Prototyping of Systems-on-Chip”. In : *3rd Workshop on : Rapid Simulation and Performance Evaluation : Methods and Tools (RAPIDO)*. Heraklion, Crete, Greece, jan. 2011.
- [W7] Kevin MARQUET, **Matthieu MOY** et Bertrand JEANNET. “Efficient Encoding of SystemC/TLM in Promela”. In : *DATICS-IMECS*. Hong-Kong, mars 2011.
- [W8] Julien HENRY, David MONNIAUX et **Matthieu MOY**. “PAGAI : a path sensitive static analyzer”. In : *Tools for Automatic Program Analysis (TAPAS)*. Sous la dir. de Bertrand JEANNET. 2012.
- [W9] Denis BECKER, Jérôme CORNET et **Matthieu MOY**. “SysView : Visualize and Profile SystemC Simulations”. In : *DUHDe*. 3rd Workshop on Design Automation for Understanding Hardware Designs. Dresden, Germany, mars 2016.

- [W10] Hamza RIHANI, Claire MAIZA et **Matthieu MOY**. “Efficient Execution of Dependent Tasks on Many-Core Processors”. In : *RTSOPS 2016. 7th International Real-Time Scheduling Open Problems Seminar*. Toulouse, France, juill. 2016.
- [W11] Tristan DELIZY, Stéphane GROS, Kevin MARQUET, **Matthieu MOY**, Tanguy RISSET et Guillaume SALAGNAC. “Quels objets en NVRAM? Placement en mémoires de travail hétérogènes”. In : *Compas 2018 - Conférence d’informatique en Parallélisme, Architecture et Système*. Toulouse, France, juill. 2018, p. 1-8.
- [W12] Julien EMMANUEL, **Matthieu MOY**, Ludovic HENRIO et Gregoire PICHON. “Simulation of the Portals 4 protocol, and case study on the BXI interconnect”. In : *HPCS 2020 - International Conference on High Performance Computing and Simulation*. Barcelona, Spain, déc. 2020, p. 1-8.

Revue francophone

- [JF1] **Matthieu MOY**. “Compte-rendu d’habilitation : Modélisation à haut niveau d’abstraction pour les systèmes embarqués”. French. In : *Technique et Science Informatiques* 33.3 (2014), p. 285-293.

Chapitre de livre

- [B1] **Matthieu MOY**. “Chapter 5.9, Formal Verification”. In : *Transaction-Level Modeling with SystemC. TLM Concepts and Applications for Embedded Systems*. Sous la dir. de Frank GHENASSIA. Springer, 2005, p. 190-206.

Outils de recherches et d’enseignement publiés comme logiciels libres

- [S1] **Matthieu MOY**. *Pinapa : Pinapa Is Not a Parser*. 2005. URL : <http://greensocs.sourceforge.net/pinapa/>.
- [S2] **Matthieu MOY**, V. H. GUPTA et K. GOPINATH. *Framogr : a FRAMework for the MOdeling and simulation of GRoup protocols*. <http://download.gna.org/framogr/>. 2006.
- [S3] Kevin MARQUET et **Matthieu MOY**. *PinaVM : PinaVM Is Not A Virtual Machine*. 2010. URL : <https://forge.imag.fr/projects/pinavm/>.
- [S4] **Matthieu MOY**. *Unix-training : a set of tools to teach Unix efficiently*. 2011. URL : <http://matthieu-moy.fr/spip/?Unix-training-a-set-of-tools-to>.
- [S5] Julien HENRY, David MONNIAUX et **Matthieu MOY**. *PAGAI static analyzer : Path Analysis for invariant Generation by Abstract Interpretation*. 2011. URL : <https://forge.imag.fr/projects/pagai/>.
- [S6] **Matthieu MOY**. *sc-during : tasks with duration for parallel programming in SystemC*. 2012. URL : <https://forge.imag.fr/projects/sc-during/>.
- [S7] Claude HELMSTETTER et **Matthieu MOY**. *LIBTLMPWT : Model Power-Consumption and Temperature in SystemC/TLM*. 2013. URL : <http://matthieu-moy.fr/spip/?LIBTLMPWT-Model-Power-Consumption>.

- [S8] **Matthieu MOY** et Sébastien VIARDOT. *Chamilotools : a set of tools to interact with a Chamilo server*. 3000 lignes de code contribuées. 2016. URL : <https://gitlab.com/chamilotools/chamilotools>.
- [S9] **Matthieu MOY**. *réservation de salles semi-automatiques avec le système de l'UCBL*. 2019. URL : <https://gitlab.inria.fr/mmoy/ade-ucbl>.
- [S10] **Matthieu MOY**. *Findups, find duplicate (plagiarism?) files in several directories*. URL : <https://gitlab.com/moy/findups>.
- [S11] **Matthieu MOY** et Guillaume SALAGNAC. *generate-skeleton : extract skeletons from source code*. 2900 lignes de code contribuées. 2017-2023. URL : <https://gitlab.com/moy/generate-skeletons>.

Brevet

- [P1] *Procédé de simulation parallèle reproductible de niveau système électronique mis en œuvre au moyen d'un système informatique multi-coeurs de simulation à événements discrets*.