

Matthieu Moy — CV détaillé

Curriculum Vitæ

Nom patronymique : **MOY** ; prénom : **Matthieu**

Date de naissance : 26 avril 1979 à Clamart (Hauts de Seine) ; Grade : **Maître de Conférences**

Affectation actuelle : Grenoble INP Ensimag / laboratoire Verimag (UMR 5104)

Section de CNU : 27, MCF CN, échelon 06, HDR

e-mail : `Matthieu.Moy@univ-lyon1.fr`

Formation et Parcours Professionnel

2006 - (situation actuelle) : Maître de conférences au laboratoire Verimag et à Grenoble INP Ensimag.

2017 : Qualification PR

2014 : Habilitation à diriger des recherches (HDR) à Grenoble INP : « High Level Models for Embedded Systems » (rapporteurs : Gérard Berry, Rolf Drechsler, Marco Roveri ; examinateurs : Samarjit Chakraborty, Benoît Dupont de Dinechin, Frédéric Pétrot)

2006 : Post-doctorat dans le département Computer Science and Automation de l'Indian Institute of Science de Bangalore : « Sécurité et survivabilité du stockage »

2002 - 2005 : Thèse d'informatique à Verimag et STMicroelectronics : « Techniques et outils pour la vérification de Systèmes-sur-Puce au niveau transaction » (président de jury : Gérard Michel ; rapporteurs : Stephen Edwards, Jean-Pierre Talpin ; directrice : Florence Maraninchi ; examinateur : Laurent Mailliet-Contoz)

2002 : Diplômes Ensimag et DEA

Responsabilités principales

2016 - (situation actuelle) : Responsable de la filière Informatique-Génie logiciel-Programmation du Département Formation Continue Grenoble INP

2015 - (situation actuelle) : Responsable de l'équipe Synchrones du laboratoire Verimag

2015 - (situation actuelle) : Responsable de la filière Systèmes et logiciels embarqués à l'Ensimag

Intérêts de recherche

Modélisation de haut niveau des systèmes sur puces : SystemC, propriétés extra-fonctionnelles, parallélisme.

Vérification formelle de programme : interprétation abstraite, model-checking.

Modèles formels d'analyse de performance : real-time calculus.

Systèmes critiques temps-réels : langages synchrones, compilation, multi-core.

Collaborations Industrielles Directes

Avec STMicroelectronics depuis 2002 (4 thèses communes soutenues, une en cours, 3 projets collaboratifs)

Avec Kalray depuis 2014 (1 thèse CIFRE, 1 projet collaboratif)

Enseignements

2006 - 2017 : Maître de conférences à temps plein : 3300 heures au total (272 heures/an en moyenne) ; dont 180h en formation continue et stages LIESSE pour enseignants CPGE, 148h à la prépa intégrée des INP, le reste étant à l'Ensimag.

2006 : 22 heures d'enseignement en anglais à l'Indian Institute of Science de Bangalore

2002 - 2005 : 128 heures de vacations à Grenoble INP, formation interne C++, SystemC et TLM à STMicroelectronics (5 semaines à plein temps dont 2 en anglais).

Table des matières

Curriculum Vitæ	1
1 Activités de recherches	2
1.1 Modélisation de haut niveau des systèmes sur puces	3
1.2 Vérification formelle de programme	3
1.3 Modèles formels d'analyse de performances	4
1.4 Implantation et sûreté des systèmes critiques temps-réel	4
2 Encadrement doctoral et scientifique	4
2.1 Jurys de Thèses et Master 2 Recherche	5
3 Publications et production scientifique	5
3.1 Articles dans des conférences et revues	5
3.2 Outils logiciels en recherche et en enseignement	5
3.3 Autres productions logicielles	6
4 Diffusion scientifique	6
4.1 Exposés Invités	6
4.2 Divers	6
5 Collaborations industrielles et académiques	6
5.1 Collaboration suivie avec STMicroelectronics	6
5.2 Collaboration avec Kalray	7
5.3 Autres collaborations externes	7
5.4 Projets collaboratifs	7
6 Responsabilités en recherche	8
6.1 Comités de sélection	8
6.2 Responsabilités à Verimag	8
7 Revue d'articles et comités de programmes	8
8 Enseignement	8
8.1 Enseignement de l'Agilité	9
8.2 Logiciel libre	9
8.3 Transfert Recherche - Formation : cours « Modélisation TLM des SoCs » à l'Ensimag	9
8.4 Responsabilités à l'Ensimag	9
8.5 Accompagnement de la réforme du programme d'informatique de classes préparatoires	10
8.6 Évolutions du projet Génie Logiciel à l'Ensimag	10
8.7 Autres évolutions majeures ou créations de cours	10
8.8 Autres responsabilités pédagogiques à l'Ensimag	10
9 Autres Connaissances informatiques	11
10 Liste de publications	11
10.1 Thèse et Habilitation à diriger des recherches	11
10.2 Revues internationales	11
10.3 Conférences internationales selectives (< 35% d'acceptation)	11
10.4 Autres conférences internationales	12
10.5 Workshops (avec comité de relecture et actes)	12
10.6 Revue francophone	13
10.7 Chapitre de livre	13
10.8 Outils de recherches et d'enseignement publiés comme logiciels libres	13

1 Activités de recherches

Je suis maître de conférences dans l'équipe Sychrone du laboratoire Verimag. Mes activités de recherches s'articulent autour de 4 thèmes :

1. La modélisation des systèmes sur puces à haut niveau d'abstraction (modélisation TLM en SystemC en particulier),

2. La vérification formelle de programme,
3. Les modèles formels d'analyse de performance, en particulier le *Real-Time Calculus* (RTC),
4. L'implantation de systèmes critiques temps-réels sur architecture many-core.

Ces thèmes sont bien entendu corrélés, puisqu'une partie de mes activités concerne la vérification formelle de programmes SystemC/TLM, que les techniques de vérification formelle sont utilisées dans mes travaux sur RTC, et que nous modélisons les performances au niveau TLM. L'implantation de systèmes critiques temps-réel sur architectures multicœurs est un thème émergent qui utilise les résultats des trois autres.

Les sections suivantes détaillent les directions suivies sur ces 3 thèmes, et comment les encadrements d'étudiants et post-doctorants s'articulent.

Un résumé de mes recherches jusqu'à 2014 sont disponibles dans mon document d'habilitation [T1] et dans mon compte-rendu d'habilitation publié à TSI [JF1].

1.1 Modélisation de haut niveau des systèmes sur puces

Les systèmes sur puces sont des systèmes combinant logiciel embarqué et blocs matériels (accélérateurs, mémoires, composants d'entrée-sorties, ...) sur une seule puce. Ils sont utilisés notamment dans les smartphones, systèmes multimédia, et plus généralement dans les systèmes nécessitant une grande capacité de calcul et la flexibilité du logiciel.

La modélisation à haut niveau d'abstraction (en général au niveau dit « transactionnel », ou TLM) est une étape importante du flot de conception d'un système sur puce, qui permet de simuler rapidement le comportement du système, en particulier d'exécuter du logiciel embarqué en simulation. Le standard du domaine est SystemC.

Les travaux autour de SystemC/TLM ont démarré dans l'équipe Synchronique avec ma thèse en 2002. J'ai ensuite repris et dirigé cette activité dans l'équipe depuis 2006 : recherche, collaboration industrielle et transfert dans la formation Ensimag au niveau Master. Le partenariat démarré par ma thèse CIFRE avec STMicroelectronics s'est prolongé avec 3 autres thèses et 2 projets collaboratifs. Le but ici est de proposer des modèles exécutables (simulateurs) de systèmes sur puces, qui soient assez précis pour exécuter du logiciel, fiables, et fidèles à la réalité.

Partant des questions de vérification formelle (*model-checking*, interprétation abstraite), la thématique a évolué progressivement vers des problèmes de modélisation (modélisation du temps et du parallélisme physique, modélisation de la consommation d'énergie), et l'efficacité des simulation (via des techniques de compilation et du parallélisme). Les activités se poursuivent aujourd'hui, centrées sur le parallélisme des simulations et la modélisation.

Résultats principaux :

- Techniques de compilations dédiées pour SystemC (partie frontale du compilateur, ou *front-end*) : [CS8], [CS6], [W8] et les logiciels [S6] et [S8].
- Traduction de SystemC vers des langages formels pour la vérification de propriétés : [C11], [B1], [J4], [W10], [W9], [C10] et [W6] et le logiciel LusSy (non-publié)
- Co-simulation entre un modèle SystemC/TLM et un modèle de puissance et de température : [C4], [C6], [CS1], [C5], [J3], et le logiciel [S2]
- Vérification à l'exécution : [CS7]
- Problèmes de modélisation et de fidélité des modèles à la réalité : [W5], [CS3], [C8].
- Parallélisation des simulations : [J2], [C2], [W1], [CS2] et la bibliothèque [S3].

1.2 Vérification formelle de programme

La vérification formelle de programmes consiste à analyser statiquement un programme pour en extraire des invariants comme des ensembles de valeurs possibles de variables ou prouver des propriétés. Tous les problèmes intéressants étant indécidables, nous utilisons des approximations conservatrices : le but est donc de trouver les bons compromis pour avoir une analyse précise et raisonnablement rapide.

Ces activités ont été réalisées en collaboration avec David Monniaux (DR Verimag). Nous avons dans un premier temps proposé à des étudiants des stages courts, reproduisant l'état de l'art en interprétation abstraite et *model-checking* sur des sous-ensembles simples de langages de programmation généralistes, puis avons continué avec de nouvelles techniques, fournissant des invariants plus précis que les techniques de l'état de l'art.

Résultats principaux :

- Combinaison de techniques de *SMT-solving*¹ et d'interprétation abstraite pour la vérification de programmes : [C7], [W3] et le logiciel [S4]

1. Un solveur SMT (Satisfiability Modulo Theory) prend en entrée une formule logique et numérique et détermine si la formule est satisfaisable ou non

1.3 Modèles formels d'analyse de performances

En parallèle de l'approche de simulation mentionnée ci-dessus, j'ai également initié dans l'équipe, avec Karine Altisen (MCF Verimag), des travaux sur des modèles formels pour l'analyse de performances basés sur le *Real-Time Calculus* (RTC). Ces travaux font le pont entre les méthodes purement analytiques (peu expressives mais très rapides) et les techniques d'exploration d'espace d'état (expressives, mais qui ne passent pas à l'échelle). Partant de discussions avec Lothar Thiele (ETHZ), nous avons adapté les techniques existantes du RTC aux outils Verimag, ce qui a permis d'utiliser de nouveaux outils sur ces problèmes (interprétation abstraite et de *SMT-solving* en particulier), dans l'outil ac2lus (5000 lignes de C++, 90% écrites par moi-même).

Résultats principaux :

- Interfaçage entre les méthodes analytiques en *Real-Time Calculus* et les méthodes d'exploration d'espace d'état (*model-checking*, interprétation abstraite, *SMT-solving*) : [CS4], [W7] et le logiciel ac2lus (non-distribué).
- Problème et solutions sur la question de la causalité des courbes d'arrivées (fondation théorique nécessaire pour traiter le premier point) : [W4], [CS5], [J1].

1.4 Implantation et sûreté des systèmes critiques temps-réel

L'implantation de systèmes temps-réel est une des thématiques de recherches sur lesquelles le laboratoire Verimag s'est construit, avec en particulier le langage Lustre. Un nouveau challenge est de permettre le développement de systèmes avec les mêmes garanties temps-réel mais sur des architectures multi-, voire many-core. Je suis fortement investi dans les travaux sur ce thème, qui est en plein foisonnement dans l'équipe : 2 thèses CIFRE et le projet CAPACITES (Calcul Parallèle pour Applications Critiques en Temps et Sûreté) ont démarrés entre fin 2014 et 2015.

Résultats principaux :

- Génération de code depuis SCADE et Lustre vers MPPA (publication en cours d'écriture)
- Analyse de pire temps d'exécution (WCET) sur architecture multi-cœur, en prenant en compte les interférences dues aux ressources partagées : [C3], [W2], [C1].

2 Encadrement doctoral et scientifique

Les pourcentages sont des taux d'encadrement (100% = pas de co-encadrement).

2 thèses encadrées soutenues :

- Giovanni Funchal, 2007-2011, 70% (co-encadré avec Florence Maraninchi). CIFRE STMicroelectronics, « Contributions to the Transaction-Level Modeling of Systems-on-a-Chip ». Situation actuelle : Senior R&D Software Engineer at Autodesk, Londres.
- Julien Henry, 2011-2014, 50% (co-encadré avec David Monniaux). « Static Analysis by Abstract Interpretation and Decision Procedures ». Situation actuelle : Senior Scientist at Grammatech, Inc. Madison, Wisconsin, États-Unis.

4 thèses en cours :

- Hamza Rihani, 70% (directeur, co-encadré avec Claire Maiza), 2014-2017, « Worst-case execution time on Many-Core architectures »
- Denis Becker, 100% (directeur), 2014-2017, CIFRE STMicroelectronics, « Parallel execution of SystemC/TLM programs »
- Amaury Graillat, 50% (directeur, co-encadré avec Pascal Raymond), 2015-2018, CIFRE Kalray, « Code Generation for Multi-Core Processor with Hard Real-Time Constraints »
- Tristan Delizy, 5% (sous la direction de Tanguy Risset, co-encadré avec Guillaume Salagnac et Kevin Marquet), 2016-2019, bourse région ARC co-encadrée avec l'INSA Lyon, « Gestion dynamique de la mémoire non-volatile embarquée »

8 stages M2 recherche (Muhammad-Muzammil Shabaz, 30% ; Giovanni Funchal, 30% ; Samuel Jones, 70% ; Nabila Abdessaied, 50% ; Julien Henry, 50% ; Hanan Kanso, 50% ; Guillaume Sergent, 100% et Amaury Graillat, 50%), **6 post-docs** (Kevin Marquet, Bageshri Karkare, Tayeb Bouhadiba, Claude Helmstetter, SangHoon Kwak, Liliana Andrade), 1 post-doc court (Francesco Bongiovanni, 2 mois) et 16 stages niveau licence ou M1.

Les détails (résumé, rapport, ...) pour chaque étudiant et post-doctorant sont disponibles à partir de la page <http://matthieu-moy.fr/spip/?-Students-Post-docs->.

2.1 Jurys de Thèses et Master 2 Recherche

Rapporteur sur la thèse :

- Benoît Vernay, « Modélisation et simulation haut-niveau de micro-systèmes électromécaniques pour le prototypage virtuel multi-physique en SystemC-AMS » (laboratoire LIP6, encadré par François Pêcheux et Marie-Minerve Louërat) en 2016

Examineur sur la thèse :

- Guillaume Sarrazin, « Simulation fonctionnelle native pour des systèmes many-cœurs » (laboratoire TIMA, encadré par Frédéric Pétrot) en 2016

Expert extérieur dans les jurys de master 2 recherche de :

- Mian-Muhammad Hamayun (laboratoire TIMA, encadré par Frédéric Pétrot) en 2009
- Georgios Tsiligiannis (laboratoire TIMA, encadré par Laurence Pierre) en 2011

3 Publications et production scientifique

3.1 Articles dans des conférences et revues

La liste complète de mes publications est disponible à l'adresse <http://matthieu-moy.fr/spip/?Publications>, et en pièce jointe à ce dossier.

Mon **h-index est 15** d'après Google Scholar (<http://scholar.google.com/citations?user=RciukYkAAAAAJ>), avec un total de 707 citations (337 citations depuis 2012).

Publications dans des **revues internationales** : 4 publications (3 en 2016), donc 1 publication à Springer FMDS (rang A classement CORE ERA2010) en 2016.

Principaux articles de conférences :

- TACAS 2010, Emsoft 2005 et 2010, SAS 2011, ITiCSE 2011 et ECRTS 2010 : **conférences de rang A** au classement CORE 2014
- 4 publications à DATE (rang B au classement CORE, mais **rang A+** au classement du GDR SoC-SiP).

La majorité de mes publications correspond à un outil (ou à une fonctionnalité d'un outil), au développement duquel j'ai directement contribué ou suis seul développeur.

3.2 Outils logiciels en recherche et en enseignement

En enseignement et en recherche, j'ai développé, ou participé au développement des logiciels (ordre chronologique inverse) :

chamiloools [S1] : Un ensemble d'outils open-source pour enseignants, pour interagir avec un serveur Chamilo² depuis la ligne de commande. En particulier, chamiloools permet de saisir des QCM hors-ligne dans une syntaxe textuelle et de les envoyer sur Chamilo automatiquement. Je suis l'auteur de la majorité du code et de la totalité de la documentation (environ 5000 lignes de Python).

LIBTLMPWT [S2] : Une bibliothèque open-source permettant de faire interagir une simulation SystemC/TLM avec un modèle de puissance consommée et de température. Les principes de co-simulations ont été intégrés à l'outil industriel Aexplorer.

sc-during [S3] : Bibliothèque permettant d'ajouter du parallélisme à une simulation SystemC en tirant partie du style de codage « découplage temporel ». sc-during est un logiciel libre développé presque exclusivement par moi-même, mais les mêmes idées sont utilisées dans une bibliothèque en production chez STMicroelectronics. Je suis l'auteur de la quasi-totalité du code (2500 lignes de C++, plus les tests unitaires).

PAGAI [S4] : Un analyseur abstrait basé sur l'infrastructure de compilation LLVM. L'auteur principal est Julien Henry (doctorant que j'ai co-encadré avec David Monniaux).

ac2lus (non-publié) : Outil d'analyse temps-réel basé sur le *Real-Time Calculus*. Je suis l'auteur de la quasi-totalité du code (environ 5000 lignes de code).

Unix-training [S5] : Ensemble d'outils pour enseigner Unix (également adapté à une introduction à Python) de manière efficace et ludique. Je suis l'auteur de la quasi-totalité du code (environ 5300 lignes de scripts shell + 2000 lignes de PHP).

2. Chamilo Learning Management System, <https://chamilo.org/>

PinaVM [S6] : Outil de compilation et de preuve pour des programmes SystemC, basé sur l'infrastructure de compilation LLVM. PinaVM utilise une approche hybride où une part du programme est exécutée et le reste analysé statiquement.

Framogr [S7] : Simulateur pour protocoles de sécurité avec un nombre quelconque de participants. Je suis le seul auteur (environ 4000 lignes de OCaml).

Pinapa [S8] et LusSy (non-distribué) : Ancêtre de PinaVM basé sur le compilateur GCC. Je suis seul auteur de Pinapa (environ 8500 lignes de C++) et auteur de la grande majorité de LusSy (35000 lignes de C++).

3.3 Autres productions logicielles

Mainteneur des logiciels libres : git-multimail, git-latexdiff, latexexpand, chamilotools, Include MediaWiki Extension. Contributions aux logiciels : Git, Gitstats, git-gui, git-mediawiki, ade2ics, JFlex, darktable, MechanicalSoup... (les détails sont disponibles à cette URL : <https://www.ohloh.net/accounts/moy/positions>)

4 Diffusion scientifique

4.1 Exposés Invités

- Exposé invité pour le **Collège de France** « Prototypage virtuel de système sur puce pour une simulation rapide et fidèle », à Sophia-Antipolis (<http://www.college-de-france.fr/site/gerard-berry/seminar-2014-01-29-17h30.htm>), dans le cadre du cours de Gérard Berry (29 janvier 2014) ;
- Exposé invité pour les **20 ans du laboratoire Verimag** « Transaction-Level Models of Systems-on-a-Chip : Can they be Correct, Faithful and Fast ? » (<http://www-verimag.imag.fr/20-years-of-Verimag.html>). Chaque équipe du laboratoire avait désigné un orateur pour la représenter, je représentais l'équipe Synchrone (27 septembre 2012) ;
- « Static Analysis by Abstract Interpretation and Decision Procedures » au workshop OpenCert 2014
- « Unix-training : un ensemble d'outils pour enseigner Unix de manière efficace et ludique » à la journée SPECIF campus sur la pédagogie de l'informatique en juin 2014 ;
- « Modeling time in discrete-event simulation of systems on a chip », invité par Gérard Berry dans les locaux du collège de France (13 mars 2013) ;
- « Modélisation du temps et parallélisme dans les simulateurs à événements discrets pour les systèmes sur puces » à la journée « simulation, vérification et synthèse à partir de TLM » du GDR SoC-SIP ;
- Exposé « EnsiWiki : un nouvel outil pédagogique à l'Ensimag » à la conférence nationale de la CEFI (comité d'étude sur les formations d'ingénieur, <http://www.cefi.org/>) en 2010.

4.2 Divers

- Créateur et responsable d'EnsiWiki (<http://ensiwiki.ensimag.fr/>), qui contient à la fois des supports de cours Ensimag et des documentations techniques et scientifiques généralistes, ainsi que des rapports de recherche d'étudiants. Le wiki est public et permet donc de diffuser l'information très largement. 50 % des accès à EnsiWiki se font depuis l'extérieur de la région Rhône-Alpes ; le site reçoit plus de 750 visiteurs uniques par jour.
- Sensibilisation aux métiers scientifique des lycéens et étudiants en classes préparatoires (participation à la journée Filles et Maths en 2012, 2013, 2014, visites détaillées de l'Ensimag pour les étudiants de la prépa des INP chaque année, exposé pour les conférences métiers des CPGE du Lycée Champollion en 2013, ...).

5 Collaborations industrielles et académiques

5.1 Collaboration suivie avec STMicroelectronics

Je suis le principal acteur de la **collaboration suivie sur plus de 10 ans** entre l'équipe synchrone de Verimag et STMicroelectronics sur la modélisation TLM des SoCs.

Cette collaboration a donné lieu à : — Des projets collaboratifs : OpenTLM, HeLP, et OpenES, — 4 thèses communes (CIFRE et BDI cofinancées) soutenues, — 1 thèse sur projet collaboratif (OpenES) démarrée, — 4 post-docs sur projets collaboratifs (HeLP, OpenTLM, OpenES), — une thèse CIFRE en cours — de très nombreux stages courts (cf. section 1.1).

Ma thèse (2002 - 2005) a été le point de départ de cette collaboration. Depuis mon recrutement en 2006, j'ai assuré la majorité des actions techniques (encadrement de thésards, post-doctorants, développement ou contribution aux outils

informatiques sc-during, LIBTLMPWT, PinaVM). J'ai très largement contribué au montage et au suivi des projets collaboratifs OpenTLM, HeLP et OpenES.

J'ai transféré directement une partie des résultats des recherches communes en enseignement niveau Master, via le cours de modélisation en SystemC/TLM que je donne à l'Ensimag.

5.2 Collaboration avec Kalray

Kalray est une jeune entreprise de la région Grenobloise qui produit la puce many-core MPPA contenant 256 cœurs de calcul. Depuis 2014, nous travaillons avec Kalray sur la thématique du temps-réel et de la sûreté. Ce sont mes travaux sur le *real-time calculus* qui ont motivé Kalray à solliciter Verimag pour rejoindre le projet CAPACITES (<http://capacites.minalogic.net/en/>, 2014-2018), puis j'ai monté la collaboration CIFRE sur la génération de code pour MPPA depuis les langages synchrones.

Cette collaboration s'est élargie à d'autres partenaires, en particulier des travaux sur le scheduling temps-réel et l'analyse de compositionnalité temporelle de l'architecture Kalray avec Robert Davis (York), Sebastian Altmeyer (Luxembourg) et Jan Reineke (Sarrebruck).

Nous avons démarré les discussions sur un projet CAPACITES 2 sur les mêmes thèmes, cette fois-ci plus orientés vers la montée en maturité des approches et outils que sur la recherche de nouvelles techniques.

5.3 Autres collaborations externes

J'ai été moteur dans les collaborations avec les partenaires académiques et industriels suivants :

- Docea Power (startup spécialisée dans la modélisation de consommation et de température, maintenant rattachée à Intel) : sur la modélisation des propriétés extra-fonctionnelles des systèmes sur puces, et la co-simulation de modèles fonctionnels avec des modèles de consommation.
- CEA-LETI : sur la modélisation de file d'attente (FIFO) rapide et avec temps simulé précis (hors projet collaboratif).
- LEAT : sur la modélisation de consommation d'énergie au niveau TLM. Nous sommes partis d'une base de code commune, et le LEAT travaille sur des exemples de programmes TLM que j'ai développés (projet collaboratif HeLP).
- IRISA : sur la vérification formelle de programmes SystemC (projet FotoVP), puis l'ordonnancement (projet CAPACITES)
- IRIT : sur l'analyse de WCET, ou temps d'exécution en pire cas (projet CAPACITES)
- ETH Zurich : sur l'analyse de performance modulaire avec le Real-Time Calculus (RTC). Reproduction des techniques de l'ETH en utilisant les outils Verimag, puis contribution aux fondations théoriques de l'approche, et comparaison de nos outils sur des exemples communs. Invitation de Kai Lampka (post-doctorant ETHZ) en visite à Verimag.
- INRIA Rhône-Alpes : sur la vérification de programmes TLM par interprétation abstraite (projet OpenTLM).

5.4 Projets collaboratifs

J'ai participé activement (participation à la rédaction des soumissions de projets ; encadrement de stagiaires, thésards, post-docs ; rédaction de livrables) aux projets suivants :

CAPACITES (<http://capacites.minalogic.net/>, Projet FSN LEOC, 2014 - 2018) : Calcul Parallèle pour Applications Critiques en Temps et Sûreté. **Je suis responsable pour Verimag.**

OpenES (<http://ecsi.org/openes>, Projet européen Cathrene, 2013-2016) : Open ESL Technologies for Next Generation Embedded Systems

OpenTLM (<http://opentlm.minalogic.net/>, Pôle de compétitivité Minalogic, 2006-2010) : Tools for the virtual prototyping of systems-on-a-chip

HeLP (<http://www-verimag.imag.fr/PROJECTS/SYNCHRONE/HELP/>, ANR ARPEGE, 2009-2012) : High Level Models for Low Power Systems

FotoVP (<http://www-verimag.imag.fr/PROJECTS/SYNCHRONE/fotovp/>, ANR ARA-SETIN, 2006-2009) : Outils formels pour le prototypage virtuel des systèmes embarqués

Combest (<http://www.combest.eu/>, projet européen 2008-2011) : COMponent-Based Embedded Systems design Techniques

6 Responsabilités en recherche

6.1 Comités de sélection

J'ai été membre externe des comités de sélection à l'INSA Lyon en 2009 et 2010 (3 postes chaque année). J'ai représenté Verimag en 2011 dans le jury du concours externe CNRS AI 259 (3 postes de gestionnaires de parc).

6.2 Responsabilités à Verimag

- **Responsable de l'équipe Synchrone depuis Juillet 2015 :**
 - Réorganisation des thèmes de l'équipe suite à la création des nouvelles équipes PACSS et RSD,
 - Refonte du site web de l'équipe,
 - Participation au recrutement en cours d'un maître de conférences,
 - Tâches habituelles pour le responsable d'équipe (bureau de direction, séminaires d'équipe, gestion de la dotation, ...).
- Membre actif de la commission des moyens informatiques de Verimag et du bâtiment PILSI-IMAG. Le rôle de la commission est de prendre les décisions concernant le renouvellement et l'achat de nouveau matériel et discuter des évolutions des systèmes. Nombreuses contributions au bon fonctionnement des systèmes informatique de Verimag (installations de logiciels, test de nouvelles solutions, aide aux administrateurs systèmes) ;
- Correspondant Verimag pour la forge logicielle <http://forge.imag.fr> (prises de décisions, support aux utilisateurs, rédaction de documentations, évolutions et mutualisation sur le site Grenoblois) ;
- Correspondant Verimag et membre du comité de pilotage pour le FabLab MSTIC (<http://fabmstic.imag.fr/>) ;
- Participation au développement d'outils spécifiques à Verimag (base de données des séminaires, gestion des publications, styles \LaTeX pour les documents Verimag) ;
- Membre élu du conseil de laboratoire de Verimag de 2011 à 2016, membre nommé depuis.

7 Revue d'articles et comités de programmes

J'ai été rapporteur pour les **31 conférences** : — EMSOFT en 2009, 2010, 2011, 2012, 2014, 2015 et 2016 — VLSI Design Conference en 2008 — VMCAI en 2008 — LCTES en 2009 et 2016 — CAV en 2010 — Modélisation des Systèmes Réactifs (MSR) en 2011 — ICDCN en 2012 — DATE en 2012, 2013, 2014, 2015 et 2016 — ESOP en 2012 — MEMOCODE en 2012 — ECRTS 2013, 2015 et 2017 — LCTES 2013 et 2016 — TACAS 2013 — RTAS 2014 — CAV 2015 — DAC 2015 — Netys 2016 pour le workshop : — Workshop SPIN en 2011 Pour les **12 articles de revues internationales** : — DAEM en 2012 — JSA en 2010 et 2013 — TECS en 2010, 2013, 2014, 2016 — Transactions on Computers en 2012 — francophone TSI en 2012 — MDPI Sensors 2015 — Information Science 2016 — TCAD 2017

J'ai été membre des comités de programme de :

- Conférence CC (ETAPS) 2015
- Conférence VLSI-SoC 2016
- Workshop WCTT (<http://www.wctt.info/>) en 2011 et 2012
- Workshop DATICS-NESEA (<http://datics.nesea-conference.org/>) en 2011
- Workshop DATICS-IMECS (<http://datics.nesea-conference.org/datics-imecs2012/>) en 2012
- Workshop DUHDe (<http://www.informatik.uni-bremen.de/duhde/2016/>) en 2016 et 2017

8 Enseignement

J'enseigne l'informatique à Grenoble INP à **tous les niveaux**, des débutants complets à la prépa des INP aux cours de master 2, en passant par les stages de formation LIESSE et la formation continue. Je suis responsable de la majorité des enseignements dans lesquels j'interviens.

La majorité de mes enseignements est faite à l'Ensimag, école d'ingénieur en informatique et en mathématiques appliquées (promotions de 200 à 250 étudiants).

Les principaux thèmes que j'ai enseigné sont :

- Les projets (projets génie logiciel, projets de spécialité)

- Compilation et génie logiciel
- Architecture des ordinateurs
- Programmation en C et en langage d'assemblage
- Introduction à Unix
- Modélisation de systèmes sur puces (ma spécialité de recherche)
- Algorithmique et programmation en Python
- Programmation système

La liste complète des enseignements réalisés est disponible en annexe.

8.1 Enseignement de l'Agilité

Depuis 2011, je m'intéresse à l'**agilité** et à la manière de l'enseigner à l'Ensimag. L'agilité peut apporter plusieurs choses à nos étudiants : des principes (valoriser les interactions entre personnes, le logiciel de qualité, le travail avec le client et la réponse au changement) et des méthodes (Scrum, Lean, Kanban) que beaucoup pratiqueront en entreprise.

Je me suis formé (formation par un coach Scrum, bibliographie, présence aux conférences Agile Grenoble et Agile Innovation chaque année) et ai contribué à la formation d'autres enseignants. Nous avons ajouté un encadrement spécifique Agile pour les deux gros projets en 2^{ème} année Ensimag. J'organise la **journée agile** en 3^{ème} année Ensimag chaque année depuis 2014 (jeux agiles, rencontre avec des intervenants extérieurs qui pratiquent l'agilité en entreprise, coding dojo, ...).

8.2 Logiciel libre

Je suis convaincu que le logiciel libre est une opportunité fantastique pour nos étudiants. En 2010 j'ai **mis en place un projet « contribution à un logiciel libre »** (dans le cadre des projets de fin de 2A Ensimag) et depuis j'encadre chaque année plusieurs équipes d'étudiants sur le sujet. Ainsi, il y a des fonctionnalités codées par des étudiants Ensimag dans Firefox, Git et libgit2, Eigen et PhpBB. D'autres étudiants que j'ai encadré ont pu créer des logiciels libres (Dahu et Git-MediaWiki). Les étudiants peuvent ainsi participer à la vie d'une vraie communauté de développeurs, et pour la plupart des projets, revoir très largement à la hausse leurs critères de qualité (ce qu'ils considèrent comme une version finale propre et bien testée dans leurs projets habituels est considéré comme un premier brouillon à corriger pour des communautés comme celles de Git ou Firefox).

8.3 Transfert Recherche - Formation : cours « Modélisation TLM des SoCs » à l'Ensimag

Une partie de mes recherches sur la modélisation des systèmes sur puces (TLM) est directement **transférée en enseignement** dans ce cours, dont je suis responsable depuis 2007. Des notions comme la vérification formelle, la modélisation de consommation, ou encore les tâches avec durée qui ont été développées dans mes activités de recherches ces dernières années sont maintenant présentées aux étudiants Ensimag 3^{ème} année.

Le contenu du cours a été adapté pour un stage de **formation continue** destinée au CEA en novembre 2014.

8.4 Responsabilités à l'Ensimag

- **Responsable de la filière Systèmes et logiciels embarqués** (participation aux bureaux pédagogiques, gestion des cas particuliers d'étudiants, coordination des évolutions des enseignements, validations des sujets de stage, ...). Participation active à la fusion des filières SLE et ISSC pour une nouvelle filière « Systèmes Embarqués et Objets Connectés » (SEOC).
- **Responsable de la filière « Informatique-Génie logiciel-Programmation »** du Département Formation Continue Grenoble INP. Participation à l'élaboration du catalogue de formation, jurys d'admission, négociation de contrats avec les entreprises, ...
- Membre élu de la CPVE (Commission Pédagogique et de la Vie Étudiante) de 2009 à 2012, membre nommé depuis 2015.
- Fort investissement dans le fonctionnement des moyens informatiques de l'école, responsable de la commission « ordinateurs portables étudiants » de 2010 à 2012.
- Correspondant « Chamilo » pour l'Ensimag depuis 2015.
- Nombreuses responsabilités de cours et projets (cf. Section 8.8)

8.5 Accompagnement de la réforme du programme d'informatique de classes préparatoires

Une réforme du programme des classes préparatoires (CPGE) a commencé à la rentrée 2013. Une des nouveautés est l'enseignement de l'informatique dans le tronc commun. Je me suis fortement investi dans l'accompagnement de cette réforme :

- Formation des enseignants CPGE à l'informatique, via plusieurs stages LIESSE (Liaisons Interdisciplinaires avec les Ecoles d'enseignement Supérieur pour une Structuration des Echanges, <http://liesse.it-sudparis.eu/liesse.htm>). J'ai organisé 5 stages (2 jours en mai 2013, 3 jours en octobre 2013, 3 jours en juin 2014, 2 jours en octobre 2014, 2 jours en octobre 2015).
- Formation des enseignants de la prépa des INP (2 jours, via la formation continue) en 2014.
- Responsabilité du cours d'informatique de la prépa des INP, reprise du programme pour l'aligner partiellement sur celui des CPGE depuis 2013. Mon investissement permet de renforcer le lien entre la prépa des INP et l'Ensimag.

8.6 Évolutions du projet Génie Logiciel à l'Ensimag

Le projet Génie Logiciel est un projet sur un mois à plein temps pour les étudiants en deuxième année Ensimag. J'ai rejoint l'équipe en 2004 comme doctorant vacataire, à un moment où les objectifs pédagogiques du projet commençaient à se déplacer de la compilation vers le génie logiciel : organisation d'équipe, architecture logicielle, validation, ... Le projet concerne 200 à 250 étudiants répartis en 10 groupes de TD. J'ai fait évoluer le projet techniquement et pédagogiquement d'années en années. Parmi les évolutions :

- Refonte de l'infrastructure de tests, qui nous permet d'évaluer automatiquement la quantité de bugs et la couverture des tests dans les rendus étudiants.
- Migration de Subversion à Git (pour les enseignants et les étudiants).
- Infrastructure de gestion des dépôts de code des étudiants (mise en place, monitoring via gitstats, scripts à disposition des enseignants pour récupérer automatiquement le code des étudiants).
- Introduction d'un rendu intermédiaire pour les étudiants pour les forcer à avoir une première version livrable une semaine avant la fin du projet : spécification du livrable, infrastructure technique pour le récupérer et le tester, ...
- Ré-écriture complète en 2013 pour changer de langage : nous utilisons un sous-ensemble très simple d'Ada. Le passage à Java permet de renforcer les compétences des étudiants qui ont appris ce langage au semestre précédent, d'introduire des notions de programmation objets avancée comme les design patterns qui seront détaillés au semestre suivant, et d'utiliser les nombreux outils et bibliothèques de l'écosystème Java. Je suis le seul auteur de la nouvelle version : 10 000 lignes de code en Java.
- Introduction de notions d'agilité et Scrum, au départ expérimentalement dans quelques groupes. Les principes que j'ai été introduits ont été généralisés à tous les groupes après mon départ.

8.7 Autres évolutions majeures ou créations de cours

- Refonte du cours d'Unix en première année, introduction d'innovations pédagogiques comme le « Jeu de piste » et l'examen de TP (cf. <http://matthieu-moy.fr/spip/?Unix-training-a-set-of-tools-to>)
- Montage du cours « logiciel de base et langage C » en filière apprentissage en 2009
- Création d'un stage de 3 jours de mise à niveau en compilation pour l'année de transition de la mise en place de filières en 2008.
- Gestion des fraudes sur les rendus de projets/TP : utilisation de logiciel de détection de similarités, co-écriture d'une charte signée par les étudiants en début de projet.

8.8 Autres responsabilités pédagogiques à l'Ensimag

Responsable ou co-responsable des cours suivants à l'Ensimag :

- Cours de logiciel de base et langage C en filière apprentissage
- Unix : introduction et programmation (1A Ensimag et filière apprentissage)
- Projet Génie Logiciel (co-responsable, seul auteur de la nouvelle version de référence du projet : 10.000 lignes de code Java)
- Projet Compilation Année Spéciale de 2009 à 2012
- Thématique « Génie Logiciel et Langages » en projet de spécialité, encadrement d'étudiants pour contribuer à des logiciels libres (Git, Firefox, Eigen, PhpBB...) jusqu'en 2015-2016

- Responsable du projet de spécialité en 2016-2017
- Ancien responsable des cours suivants :
- Projet C de 2007 à 2009
- Conception de circuits numériques (2007)

9 Autres Connaissances informatiques

Systèmes : Unix/Linux, Windows

Langages : C/C++, Python, SystemC, Ada, Java, Shell UNIX, HTML/XHTML, PHP, SQL, lisp, Caml, Scala. . .

Outils : Git, Emacs, TeX/LaTeX, Doxygen, CMake, Travis-CI, GitLab-CI, Autotools, GDB, Eclipse, Netbeans. . .

10 Liste de publications

10.1 Thèse et Habilitation à diriger des recherches

- [T1] M. Moy. “High-level Models for Embedded Systems”. Habilitation à Diriger des Recherches (HDR). Verimag : Univ. Grenoble Alpes, F-38000 Grenoble, France, mar. 2014.
- [T2] M. Moy. “Techniques and Tools for the Verification of Systems-on-a-Chip at the Transaction Level”. Thèse de doct. INPG, Grenoble, France, déc. 2005.

10.2 Revues internationales

- [J1] K. Altisen, M. Moy. “Causality Problem in Real-Time Calculus”. In : *Formal Methods in System Design (Springer)* 48.1 (2016). **Rank A** CORE ERA2010, p. 1–45. ISSN : 1572-8102.
- [J2] D. Becker, M. Moy, J. Cornet. “Parallel Simulation of Loosely Timed SystemC/TLM Programs : Challenges Raised by an Industrial Case Study”. In : *MDPI Electronics* 5.2 (2016). Sous la dir. de Frédéric ROUSSEAU, Gabriela NICOLESCU, Amer BAGHDADI et Mostafa BASSIOUNI, p. 22. ISSN : 2079-9292.
- [J3] M. Moy, C. Helmstetter, T. Bouhadiba, F. Maraninchi. “Modeling Power Consumption and Temperature in TLM Models”. In : *Leibniz Transactions on Embedded Systems* Vol 3.No 1 (juin 2016), 03 :1–03 :29.
- [J4] M. Moy, F. Maraninchi, L. Maillet-Contoz. “LusSy : an open Tool for the Analysis of Systems-on-a-Chip at the Transaction Level”. In : *Design Automation for Embedded Systems* (2006). special issue on SystemC-based systems.

10.3 Conférences internationales selectives (< 35% d’acceptation)

- [CS1] T. Bouhadiba, M. Moy, F. Maraninchi. “System-Level Modeling of Energy in TLM for Early Validation of Power and Thermal Management”. In : *Design Automation and Test Europe (DATE)*. **16.4%** accepted as long-paper, **Rank A+** GDR SoC-SiP. Grenoble, France, mar. 2013.
- [CS2] M. Moy. “Parallel Programming with SystemC for Loosely Timed Models : A Non-Intrusive Approach”. Anglais. In : *The Design, Automation, and Test in Europe (DATE)*. **16.4%** accepted as long-paper, **Rank A+** GDR SoC-SiP. Grenoble, France, mar. 2013.
- [CS3] G. Funchal, M. Moy. “jTLM : an Experimentation Framework for the Simulation of Transaction-Level Models of Systems-on-Chip”. In : *Design, Automation and Test in Europe (DATE)*. acceptance rate : 314/950 = 33%, **Rank A+** GDR SoC-SiP. 2011.
- [CS4] K. Altisen, M. Moy. “ac2lus : Bringing SMT-solving and Abstract Interpretation Techniques to Real-Time Calculus through the Synchronous Language Lustre”. In : *22nd Euromicro Conference on Real-Time Systems (ECRTS)*. Acceptance rate : 27/112 = **24%**, **Rank A** CORE 2014. Brussels, Belgium, juil. 2010.
- [CS5] K. Altisen, M. Moy. “Arrival Curves for Real-Time Calculus : the Causality Problem and its Solutions”. In : *TACAS*. Sous la dir. de J. ESPARZA et R. MAJUMDAR. Acceptance rate : 24/110 = **21%**, **Rank A** CORE 2014. Mar. 2010, p. 358–372.
- [CS6] K. Marquet, M. Moy. “PinaVM : a SystemC Front-End Based on an Executable Intermediate Representation”. Anglais. In : *International Conference on Embedded Software*. Acceptance rate : 29/89 = 32%, **Rank A** CORE 2014. S, 24 oct. 2010, p. 79.

- [CS7] C. Helmstetter, F. Maraninchi, L. Maillet-Contoz, M. Moy. “Automatic Generation of Schedulings for Improving the Test Coverage of Systems-on-a-Chip”. In : *FMCAD* (2006). Acceptance rate : $21/90 = 23\%$, p. 171–178.
- [CS8] M. Moy, F. Maraninchi, L. Maillet-Contoz. “Pinapa : An Extraction Tool for SystemC descriptions of Systems-on-a-Chip”. In : *EMSOFT*. $25/88 = 28\%$ accepted as regular papers, **Rank A** CORE 2014. Sept. 2005, p. 317–324.

10.4 Autres conférences internationales

- [C1] H. Rihani, M. Moy, C. Maiza, R. I. Davis, S. Altmeyer. “Response Time Analysis of Synchronous Data Flow Programs on a Many-Core Processor”. In : *RTNS 2016*. 24th International Conference on Real-Time Networks and Systems. Brest, France, oct. 2016.
- [C2] D. Becker, M. Moy, J. Cornet. “Challenges for the Parallelization of Loosely Timed SystemC Programs”. In : *IEEE International Symposium on Rapid System Prototyping (RSP)*. 2015.
- [C3] H. Rihani, M. Moy, C. Maiza, S. Altmeyer. “WCET analysis in shared resources real-time systems with TDMA buses”. In : *RTNS 2015*. 23rd International Conference on Real-Time Networks and Systems. Lille, France, nov. 2015.
- [C4] T. Bouhadiba, M. Moy, F. Maraninchi, J. Cornet, L. Maillet-Contoz, I. Materic. “Co-Simulation of Functional SystemC TLM Models with Power/Thermal Solvers”. Anglais. In : *Virtual Prototyping of Parallel and Embedded Systems (VIPES)*. Boston, US, mai 2013.
- [C5] C. Helmstetter, J. Cornet, B. Galilée, M. Moy, P. VIVET. “Fast and Accurate TLM Simulations using Temporal Decoupling for FIFO-based Communications”. Anglais. In : *Design, Automation and Test in Europe (DATE)*. acceptance rate : $302/829 = 36.4\%$ all categories, **Rank A+** GDR SoC-SiP. Grenoble, France, mar. 2013, p. 1185.
- [C6] J. Cornet, L. Maillet-Contoz, I. Materic, S. Kaiser, H. Boussetta, T. Bouhadiba, M. Moy, F. Maraninchi. “Co-Simulation of a SystemC TLM Virtual Platform with a Power Simulator at the Architectural Level : Case of a Set-Top Box”. Anglais. In : *Design Automation Conference*. San Francisco, US, juin 2012, SESSION 10U : USER TRACK.
- [C7] J. Henry, D. Monniaux, M. Moy. “Succinct Representations for Abstract Interpretation”. In : *Static analysis Symposium (SAS)*. Acceptance rate : 40%, **Rank A** CORE 2014. 2012.
- [C8] G. Funchal, M. Moy. “Modeling of Time in Discrete-Event Simulation of Systems-on-Chip”. Anglais. In : *ACM/IEEE Ninth International Conference on Formal Methods and Models for Codesign MEMOCODE*. Acceptance rate : $16/43 = 37\%$. Cambridge Royaume-Uni, 11 juil. 2011.
- [C9] M. Moy. “Efficient and Playful Tools to Teach Unix to New Students”. Anglais. In : *16th Annual Conference on Innovation and Technology in Computer Science Education ITiCSE*. Acceptance rate : $66/169 = 39\%$, **Rank A** CORE 2014. Darmstadt Allemagne, 27 juin 2011.
- [C10] F. Maraninchi, M. Moy, J. Cornet, L. Maillet-Contoz, C. Helmstetter, C. Traulsen. “SystemC/TLM Semantics for Heterogeneous System-on-Chip Validation”. Anglais. In : *2008 Joint IEEE-NEWCAS and TAISA Conference 2008 Joint IEEE-NEWCAS and TAISA Conference*. Sous la dir. d’IEEE. B.6.3, D.2.4, D.3.1, F.4.3, F.3.1, B.8.1. Montréal Canada, juin 2008.
- [C11] M. Moy, F. Maraninchi, L. Maillet-Contoz. “LusSy : A Toolbox for the Analysis of Systems-on-a-Chip at the Transactional Level”. In : *International Conference on Application of Concurrency to System Design*. Acceptance rate : $23/45 = 51\%$. Juin 2005, p. 26–35.

10.5 Workshops (avec comité de relecture et actes)

- [W1] D. Becker, J. Cornet, M. Moy. “SycView : Visualize and Profile SystemC Simulations”. In : *DUHDe*. 3rd Workshop on Design Automation for Understanding Hardware Designs. Dresden, Germany, mar. 2016.
- [W2] H. Rihani, C. Maiza, M. Moy. “Efficient Execution of Dependent Tasks on Many-Core Processors”. In : *RTSOPS 2016*. 7th International Real-Time Scheduling Open Problems Seminar. Toulouse, France, juil. 2016.
- [W3] J. Henry, D. Monniaux, M. Moy. “PAGAI : a path sensitive static analyzer”. In : *Tools for Automatic Program Analysis (TAPAS)*. Sous la dir. de Bertrand JEANNET. 2012.
- [W4] K. Altisen, M. Moy. “Causality closure for a new class of curves in real-time calculus”. Anglais. In : *Proceedings of the 1st International Workshop on Worst-Case Traversal Time*. Vienna, Autriche : ACM, 2011, p. 3–10.

- [W5] G. Funchal, M. Moy, L. Mailliet-Contoz, F. Maraninchi. “Faithfulness Considerations for Virtual Prototyping of Systems-on-Chip”. In : *3rd Workshop on : Rapid Simulation and Performance Evaluation : Methods and Tools (RAPIDO)*. Heraklion, Crete, Greece, jan. 2011.
- [W6] K. Marquet, M. Moy, B. Jeannet. “Efficient Encoding of SystemC/TLM in Promela”. In : *DATICS-IMECS*. Hong-Kong, 16 mar. 2011.
- [W7] K. Altisen, Y. Liu, M. Moy. “Performance Evaluation of Components Using a Granularity-based Interface Between Real-Time Calculus and Timed Automata”. In : *Eighth Workshop on Quantitative Aspects of Programming Languages (QAPL)*. Paphos, Cyprus : Electronic Proceedings in Theoretical Computer Science, mar. 2010.
- [W8] K. Marquet, M. Moy, B. Karkare. “A Theoretical and Experimental Review of SystemC Front-ends”. Anglais. In : *Forum for Design Languages (FDL)*. B.1.4, C.3 OpenTLM (Projet Minalogic). 2010.
- [W9] L. Besnard, T. Gautier, M. Moy, J.-P. Talpin, K. Johnson, F. Maraninchi. “Automatic translation of C/C++ parallel code into synchronous formalism using an SSA intermediate form”. In : *Ninth International Workshop on Automated Verification of Critical Systems (AVOCS’09)*. Electronic Communications of the EASST, sept. 2009.
- [W10] C. Traulsen, J. Cornet, M. Moy, F. Maraninchi. “A SystemC/TLM semantics in Promela and its possible applications”. In : *14th Workshop on Model Checking Software SPIN*. Juil. 2007.

10.6 Revue francophone

- [JF1] M. Moy. “Compte-rendu d’habilitation : Modélisation à haut niveau d’abstraction pour les systèmes embarqués”. French. In : *Technique et Science Informatiques* 33.3 (2014), p. 285–293.

10.7 Chapitre de livre

- [B1] M. Moy. “Chapter 5.9, Formal Verification”. In : *Transaction-Level Modeling with SystemC. TLM Concepts and Applications for Embedded Systems*. Sous la dir. de Frank GHENASSIA. Springer, 2005, p. 190–206.

10.8 Outils de recherches et d’enseignement publiés comme logiciels libres

- [S1] M. Moy, S. Viardot. *Chamilotools : a set of tools to interact with a Chamilo server*. 2016. URL : <https://gitlab.com/chamilotools/chamilotools>.
- [S2] C. Helmstetter, M. Moy. *LIBTLMPWT : Model Power-Consumption and Temperature in SystemC/TLM*. 2013. URL : <http://matthieu-moy.fr/spip/?LIBTLMPWT-Model-Power-Consumption>.
- [S3] M. Moy. *sc-during : tasks with duration for parallel programming in SystemC*. 2012. URL : <https://forge.imag.fr/projects/sc-during/>.
- [S4] J. Henry, D. Monniaux, M. Moy. *PAGAI static analyzer : Path Analysis for invariant Generation by Abstract Interpretation*. 2011. URL : <https://forge.imag.fr/projects/pagai/>.
- [S5] M. Moy. *Unix-training : a set of tools to teach Unix efficiently*. 2011. URL : <http://matthieu-moy.fr/spip/?Unix-training-a-set-of-tools-to>.
- [S6] K. Marquet, M. Moy. *PinaVM : PinaVM Is Not A Virtual Machine*. 2010. URL : <https://forge.imag.fr/projects/pinavm/>.
- [S7] M. Moy, V. H. Gupta, K. Gopinath. *Framogr : a FRAMework for the MOdeling and simulation of GRoup protocols*. <http://download.gna.org/framogr/>. 2006.
- [S8] M. Moy. *Pinapa : Pinapa Is Not a Parser*. 2005. URL : <http://greensocs.sourceforge.net/pinapa/>.